

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-62858

(P2002-62858A)

(43) 公開日 平成14年2月28日 (2002.2.28)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード (参考)
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 9 3
G 0 2 F 1/133	5 2 0	G 0 2 F 1/133	5 2 0 5 C 0 0 6
G 0 9 G 3/20	6 1 1	G 0 9 G 3/20	6 1 1 A 5 C 0 8 0
	6 1 2		6 1 2 D 5 H 7 3 0
			6 1 2 E

審査請求 未請求 請求項の数10 O L (全 33 頁) 最終頁に続く

(21) 出願番号 特願2001-180361(P2001-180361)
(62) 分割の表示 特願平8-521558の分割
(22) 出願日 平成8年1月11日 (1996.1.11)
(31) 優先権主張番号 特願平7-2949
(32) 優先日 平成7年1月11日 (1995.1.11)
(33) 優先権主張国 日本 (J P)
(31) 優先権主張番号 特願平7-172620
(32) 優先日 平成7年7月7日 (1995.7.7)
(33) 優先権主張国 日本 (J P)
(31) 優先権主張番号 特願平7-181976
(32) 優先日 平成7年7月18日 (1995.7.18)
(33) 優先権主張国 日本 (J P)

(71) 出願人 000002369
セイコーエプソン株式会社
東京都新宿区西新宿2丁目4番1号
(72) 発明者 山崎 卓
長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
(74) 代理人 100090479
弁理士 井上 一 (外2名)

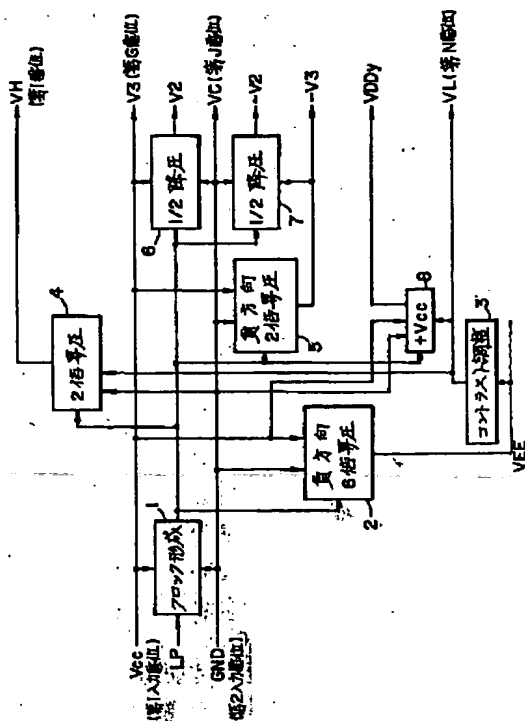
最終頁に続く

(54) 【発明の名称】 電源回路、液晶表示装置及び電子機器

(57) 【要約】

【課題】 液晶の駆動電位である V_H 、 V_3 、 V_2 、 V_C 、 $-V_2$ 、 $-V_3$ 、 V_L 等を供給する電源回路であり、液晶表示装置の低消費電力化が目的である。

【解決手段】 チャージ・ポンプ回路は、ラッチパルス LP (周期的に発生するパルスを含むパルス状クロック) により生成されたクロックに基づきチャージ・ポンプ動作を行い、これにより液晶の駆動電位を供給する。ポンピング・コンデンサ及びバックアップ・コンデンサの充電を、LP のパルス発生期間において停止させる。複数のポンピング・コンデンサによりバックアップ・コンデンサを交互に充電するチャージ・ポンプ動作を所与のクロックに基づき行う。ポンピング・コンデンサ及びバックアップ・コンデンサの充電を、液晶の駆動における 1 水平走査期間毎に行わせる。



(2)

1

【特許請求の範囲】

【請求項1】 入力電源電圧が与えられ、表示素子を駆動するための第1～第N ($N \geq 4$) 電位を供給する電源回路であって、

周期的に発生するパルスを含むパルス状クロックにより生成されたクロックに基づきチャージ・ポンプ動作を行い、前記第1～第N電位のいずれかを直接に又は調整手段を介して供給するチャージ・ポンプ回路と、

前記チャージ・ポンプ回路が含むポンピング・コンデンサの充電及びポンピングコンデンサによるバックアップ・コンデンサの充電を、前記パルス状クロックの前記パルスの発生期間において停止させる手段とを含むことを特徴とする電源回路。

【請求項2】 入力電源電圧が与えられ、表示素子を駆動するための第1～第N ($N \geq 4$) 電位を供給する電源回路であって、

所与のクロックに基づきチャージ・ポンプ動作を行い、高電位側の前記第1電位と低電位側の前記第N電位のいずれかを、直接に又は調整手段を介して供給するチャージ・ポンプ回路と、

複数のポンピング・コンデンサによりバックアップ・コンデンサを交互に充電するチャージ・ポンプ動作を所与のクロックに基づき行い、前記第1～第N電位の中の第I電位 ($1 < I < N$) を直接に又は調整手段を介して供給するチャージ・ポンプ回路とを含むことを特徴とする電源回路。

【請求項3】 入力電源電圧が与えられ、表示素子を駆動するための第1～第N ($N \geq 4$) 電位を供給する電源回路であって、

所与のクロックに基づきチャージ・ポンプ動作を行い、前記第1～第N電位のいずれかを直接に又は調整手段を介して供給するチャージ・ポンプ回路と、

前記チャージ・ポンプ回路が含むポンピング・コンデンサの充電及びポンピングコンデンサによるバックアップ・コンデンサの充電を、前記表示素子の駆動における1水平走査期間毎に行わせる手段とを含むことを特徴とする電源回路。

【請求項4】 請求項3において、

前記チャージ・ポンプ回路が、複数のポンピング・コンデンサによりバックアップ・コンデンサを1水平期間毎に交互に充電するチャージ・ポンプ動作を行うことを特徴とする電源回路。

【請求項5】 請求項1乃至4のいずれかにおいて、前記チャージ・ポンプ回路の所与のクロックを停止する手段を含むことを特徴とする電源回路。

【請求項6】 請求項1乃至5のいずれかの電源回路と、複数のデータ線電極と複数の走査線電極により駆動される液晶層を含む液晶パネルと、前記電源回路により供給される電位に基づいて前記データ線電極を駆動するデータ線ドライバと、前記電源回路により供給される電

2

位に基づいて前記走査線電極を駆動する走査線ドライバとを含むことを特徴とする液晶表示装置。

【請求項7】 入力電源電圧が与えられ第1～第N ($N \geq 4$) 電位を供給する電源回路と、複数のデータ線電極と複数の走査線電極により駆動される液晶層を含む液晶パネルと、前記電源回路により供給される電位に基づいて前記データ線電極を駆動するデータ線ドライバと、前記電源回路により供給される電位に基づいて前記走査線電極を駆動する走査線ドライバとを含む液晶表示装置であって、

前記電源回路が、

前記入力電源電圧に含まれる高電位側の第1入力電位、低電位側の第2入力電位を、前記第1～第N電位のいずれかとして供給する手段と、

所与のクロックに基づきチャージ・ポンプ動作を行い、前記第1～第N電位のいずれかを直接に又は調整手段を介して供給するチャージ・ポンプ回路とを含み、

前記第1、第2入力電位を、前記データ線ドライバ及び走査線ドライバの少なくとも一方のロジック部の電源電圧として使用することを特徴とする液晶表示装置。

【請求項8】 請求項7において、

前記電源回路が、

所与のクロックに基づきチャージ・ポンプ動作により前記第1、第2入力電位と異なる電位を発生し、該発生電位を前記第1～第N電位のいずれかとして供給するチャージ・ポンプ回路を含むことを特徴とする液晶表示装置。

【請求項9】 入力電源電圧が与えられ第1～第N ($N \geq 4$) 電位を供給する電源回路と、複数のデータ線電極と複数の走査線電極により駆動される液晶層を含む液晶パネルと、前記電源回路により供給される電位に基づいて前記データ線電極を駆動するデータ線ドライバと、前記電源回路により供給される電圧に基づいて前記走査線電極を駆動する走査線ドライバとを含む液晶表示装置であって、

前記電源回路が、

前記データ線ドライバ用のラッチパルス又は前記走査線ドライバ用のシフトクロックにより生成されたクロックに基づきチャージ・ポンプ動作を行い、前記第1～第N電位のいずれかを直接に又は調整手段を介して供給するチャージ・ポンプ回路を含むことを特徴とする液晶表示装置。

【請求項10】 請求項6乃至9のいずれかの液晶表示装置を含むことを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は電源回路、該電源回路を含む液晶表示装置、該液晶表示装置を含む電子機器に関する。

【0002】

10

20

30

40

50

(3)

3

【背景技術及び発明が解決しようとする課題】第1の背景技術として、1ライン線順次駆動の液晶表示装置に用いられる電源回路について図48を用いて説明する。この図は、特開平2-150819号公報の図3と基本的に同じである。ここに $V_0 \sim V_5$ は、 $VD = V_0 - V_1 = V_1 - V_2 = V_3 - V_4 = V_4 - V_5$ なる関係を持ち、例えば1/240デューティの場合に VD は1.6V程度である。

【0003】液晶表示装置に外部から入力される電圧は、GNDを基準電位としてドライバICのロジック部のためのVCCと、液晶パネル駆動電圧を作るためのVEEである。VEEはVCCに比べてかなり高く、例えば1/240デューティの場合、20V~25V程度である。 $V_0 \sim V_5$ の内、 V_0 にはVEEを、 V_5 にはGNDをそのまま用いる。残りの $V_1 \sim V_4$ は、VEE-GND間を抵抗 $R_1 \sim R_5$ で分割した電圧をオペアンプOP1~OP4で低インピーダンス変換したものを用いる。OP1~OP4はVEE系の電圧で動作し、VCCはパネル駆動電圧自体の形成には直接関与していない。

【0004】以下、走査線側をY、データ線側をXで表し、消費電力について述べる。例えばパネルの走査線電極をY電極、Y電極を駆動するドライバICをYドライバ、パネルのデータ線電極をX電極、X電極を駆動するドライバICをXドライバと表す。非選択のY電極に加えられる電圧は V_1 か V_4 である。そして非選択のY電極が V_1 の場合にX電極に加えられる電圧は V_0 か V_2 であり、非選択のY電極が V_4 の場合にX電極に加えられる電圧は V_3 か V_5 である。

【0005】1/240デューティの場合、選択状態のY電極が1ラインのみであるのに対して残りの239ラインは全て非選択状態である。従って、X電極と選択状態のY電極との間で流れる充放電電流は、X電極と非選択状態のY電極との間で流れる充放電電流よりもかなり小さい。即ち、液晶パネル自体の消費電流は、X電極と非選択状態のY電極との間で流れる充放電電流が大部分である。よって、ここではX電極と非選択状態のY電極との間で流れる充放電電流についてのみ注目する。

【0006】例えば非選択のY電極の電圧が V_1 である時に、X電極の電圧が V_0 から V_2 に変化した場合を考える。この時、X-Y電極間の液晶層の容量を C_{pn} とすると、X電極の電圧が V_0 から V_1 になる際に、 $C_{pn} \times (V_0 - V_1)$ の電荷が V_0 から流出して V_1 に流入する(図48のD参照)。次にX電極の電圧が V_1 から V_2 になる際に、 $C_{pn} \times (V_1 - V_2)$ の電荷が V_1 から流出して V_2 に流入する(E参照)。ここで $V_0 - V_1 = V_1 - V_2$ であるため、 V_1 に流入する電荷と V_1 から流出する電荷とは等しくなる。従って、 V_1 への電荷の流入は差し引き零となり、結果的には $C_{pn} \times (V_0 - V_2)$ の電荷が V_0 から流出して V_2 に流入することになる(F参照)。この電荷はオペアンプOP

4

2を通過して最終的にGNDへ流れ込む(G参照)。しかしながら、この電荷は、OP2の中を移動してGNDへ至る経路では有効な働きをせず、単に熱損失を発生させOP2を発熱させるだけとなる。この場合のパネルの充放電電流を I_{pn} 、 $GND = 0V$ とすると、この I_{pn} による消費電力は $I_{pn} \times V_{EE}$ となる。そして図48のGから明かなように、この I_{pn} の有効利用率は $(V_0 - V_2) / V_{EE}$ である。1/240デューティの場合、 $V_0 - V_2$ が $2 \times 1.6V$ 程度であるのに対して V_{EE} は20V~25Vであるため、有効利用率は16%以下ということになる。

【0007】第2の背景技術として、4ライン同時選択駆動の液晶表示装置に用いられる電源回路について説明する。複数のY電極(行電極)を同時に選択する駆動方法(MLS駆動)の基本概念は、文献1(A GENERALIZED ADDRESSING TECHNIQUE FOR RMS RESPONDING MATRIX LCDs, 1988, INTERNATIONAL DISPLAY RESEARCH CONF.の講演集80~85頁)や、USP5,262,881に記載されている。単純な1ライン線順次駆動にて液晶の応答を速くした場合にはコントラストの低下が問題になるが、MLS駆動によればこの問題を解決できる。

【0008】MLS駆動でLライン(Lは2以上の正整数)を同時に選択する場合、Y電極には、VM及びこのVMを中点電位とするVHとVLの合計3レベルの電位が必要となる。ここでVMは非選択電位、VH、VLは選択電位に使用する。またX電極には、VMを中心として $(L+1)$ レベルの電位が必要となる。Lが大きくなるにしたがい、Y電極を駆動する電圧幅 $VH - HL$ は小さくなり、逆に、X電極の駆動には大きな電圧幅が必要となる。

【0009】図49に4ライン同時選択法を使用した場合に考えられる電源回路の一例を示す。パネルの駆動に必要な電圧は、Y電極の選択電圧となるVH及びVL、Y電極の非選択電圧となるVM、X電極の駆動電圧となる $V_{x0} \sim V_{x4}$ である。VMは、パネルに加える電圧の中央電位となるものであり、 $VH - VM = VM - VL$ 、 $V_{x0} - V_{x1} = V_{x1} - V_{x2} = V_{x2} - V_{x3} = V_{x3} - V_{x4}$ の関係が成り立つ。またX電極側の中央電位 V_{x2} はVMと同電位である。例えば1/240デューティ相当のパネルでは $VH - VL$ は25V程度、 $V_{x0} - V_{x1}$ は1.6V程度となる。

【0010】液晶表示装置に外部から入力される電圧は、GNDを基準電位(0V)として、ドライバICのロジック部のためのVCCと、液晶パネル駆動電圧を作るためのVEE(=VH-VL)であり、前述したようにVEEはVCCに比べてかなり高電圧である。なお図49においてVDDyとVSSyはYドライバのロジッ

(4)

5

ク部の電圧であり、VCCとGNDがそのまま結線される。またVDD_xとVSS_xはXドライバのロジック部の電圧であり、GND=0VとしてVDD_x-VSS_x=VCCである。Xドライバに必要な耐圧はV_{x0}-V_{x4}であり、例えば1/240デューティ相当のパネルでは7V程度で済む。V_HとV_Lには各々V_{EE}とGNDをそのまま用いる。V_{x0}~V_{x4}とVSS_Xは、V_{EE}-GND間を抵抗R1~R6で分割した電圧をオペアンプOP1~OP6で低インピーダンス変換したものを10用いる。またVDD_x-VSS_x=VCCの関係を成り立たせるために、R7=R8かつR9=R10となるようにR7~R10の抵抗値を設定している。OP1~OP6はV_{EE}系の電圧で動作し、VCCはパネル駆動電圧自体の形成には直接関与していない。

【0011】以下、図49に示す電源回路を用いた場合の消費電力について述べる。Y電極に非選択時に加えられる電圧はVMであり、X電極に加えられる電圧はV_{x0}~V_{x4}である。前述した1ライン線順次駆動の場合と同様に、液晶パネル自体の消費電流の大部分は、X電極と非選択状態のY電極との間で流れる充放電電流である。20パネルの充放電電流I_{pn}による消費電力は、GND=0VとしてI_{pn}×V_{EE}となる。しかしながら、前述したように、V_{x0}~V_{x4}とVMとの電圧差はV_{EE}-GND間の電圧差に比べてかなり小さい。従って、I_{pn}の有効利用率は極めて低く、大部分がオペアンプの中を移動してGNDへ至る経路で単に熱損失となってオペアンプを発熱させるだけとなる。

【0012】更に、Xドライバのロジック部等での消費電流をI_{XD}とすると、これによる消費電力がI_{XD}×VCCではなくI_{XD}×V_{EE}となる。I_{XD}×(V_{EE}-VCC)の部分はやはりオペアンプの中を移動してGNDへ至る経路で単に熱損失となってオペアンプを発熱させるだけとなっている。複数ライン同時選択法によればXドライバの動作電圧幅を小さくできるが、この背景技術ではこの利点を消費電力低減に全く活用できていない。

【0013】第3の背景技術として、2端子型非線形スイッチング素子を用いた液晶表示装置の電源回路について説明する。このような液晶表示装置の駆動方法は、特公平5-34655に記載されており、また、この場合に用いられる電源回路としては、特公平5-46954やUSP5, 101, 116に記載されたものがある。以下、図50 (USP5, 101, 116のFig. 1Aに記載される駆動電圧波形を転記) 及び図51 (同Fig. 2Bに記載される回路を転記) を用いて、この電源回路の動作と構成を説明する。図50においてTP_y (y=1, 2, ..., n) はY電極を駆動する電圧波形であり、VD2は正側の選択電圧、VS2は負側の選択電圧、VM⁺はVD2を選択した後の非選択電圧、VM⁻はVS2を選択した後の非選択電圧である。VD2-VS

6

2は約40V程度であり、ほぼ、VD2-VM⁺=VM⁻-VS2の関係が成り立つ。すなわち、VD2とVS2の中央電圧をVCとすれば、VD2とVS2はVCに対して互いにほぼ対称であり、VM⁺とVM⁻もVCに対して互いにほぼ対称である。

【0014】VM⁺-VM⁻はVD2-VS2に比べてかなり小さい。また、前述したMLS駆動では正側と負側の選択電圧の両方が常時必要である。これに対して、2端子型非線形スイッチング素子を用いた液晶表示装置においては、ある時点で必要な選択電圧はVD2かVS2の一方のみであり、同一タイミングにおいて両方の選択電圧が必要となることは無い。図51は、この点に着目し、Yドライバの耐圧がVD2-VS2の約半分で済むように工夫した回路の例である。VD2が必要なタイミングではトランジスタ250をオン、トランジスタ252をオフさせる。これにより、VD(t)はVM⁺より高い電圧であるVD2となり、VS(t)は容量結合によりVS2より高い電圧であるVS1となる。VS2が必要なタイミングではトランジスタ252をオン、トランジスタ250をオフさせる。これにより、VS(t)はVM⁻より低い電圧であるVS2となり、VD(t)は容量結合によりVD2より低い電圧であるVD1となる。同一タイミングにおいて選択電圧が正側か負側のどちらか一方だけを与えればよい場合には、このようにYドライバに加える電源電圧を揺さぶることにより、Yドライバの耐圧をVD2-VS2の約半分で済ませることが可能である。以下、電源電圧をこのように揺さぶる駆動方式を揺さぶり電源方式と表す。現在はこの揺さぶり電源方式が、2端子型非線形スイッチング素子を用いた液晶パネルでは主流となっている。

【0015】揺さぶり電源方式は上述のようにYドライバの耐圧がVD2-VS2の約半分で済むという長所はあるが、それにもかかわらず、液晶表示装置の消費電力を極端に増加させるという欠点がある。消費電力が増加する原因の一つは、Yドライバに寄生する全ての容量が揺さぶられる電圧幅で充放電するためと、揺さぶられるタイミングにおいてYドライバ内でショートの電流が流れるためである。もう一つの原因は、電源回路自体の消費電力が大きいためであり、電源回路自体の消費電力を減らす良い方法が無いためである。

【0016】以上をまとめれば、図48、図49のような構成の電源回路には次のような問題点があった。

【0017】(1) パネルの充放電電流を供給する際の無効消費電力が大きい。

【0018】(2) Xドライバのロジック部での消費電流も高電圧のV_{EE}から供給されるため、更に消費電力が増大する。

【0019】(3) オペアンプの電源として高電圧のV_{EE}を用いるため、V_{EE}からGNDに定常的に流れるオペアンプのアイドリング電流による消費電力が大き

(5)

7

い。

【0020】(4)電源回路に用いるオペアンプとして、高価格の低電力高耐圧オペアンプを用いなければならない。

【0021】また図51の構成の電源回路・駆動方式においても消費電力を低減できない。

【0022】本発明は以上のような課題を解決するもので、その目的とするところは、低消費電力で安価な電源回路、液晶表示装置、電子機器を提供することにある。

【0023】

【課題を解決するための手段】上記課題を解決するために本発明は、入力電源電圧が与えられ、表示素子を駆動するための第1～第N ($N \geq 4$) 電位を供給する電源回路であって、周期的に発生するパルスを含むパルス状クロックにより生成されたクロックに基づきチャージ・ポンプ動作を行い、前記第1～第N電位のいずれかを直接に又は調整手段を介して供給するチャージ・ポンプ回路と、前記チャージ・ポンプ回路が含むポンピング・コンデンサの充電及びポンピングコンデンサによるバックアップ・コンデンサの充電を、前記パルス状クロックの前記パルスの発生期間において停止させる手段とを含むことを特徴とする。

【0024】本発明によれば、パルス状クロックのパルス発生期間では、ポンピング・コンデンサ、バックアップ・コンデンサの充電が停止され、これにより遷移タイミングでの電荷の逃げが防止される。なおパルス状のクロックとしては、ドライバICに用いられるラッチパルス等が最適である。

【0025】また本発明は、入力電源電圧が与えられ、表示素子を駆動するための第1～第N ($N \geq 4$) 電位を供給する電源回路であって、所与のクロックに基づきチャージ・ポンプ動作を行い、高電位側の前記第1電位と低電位側の前記第N電位のいずれかを、直接に又は調整手段を介して供給するチャージ・ポンプ回路と、複数のポンピング・コンデンサによりバックアップ・コンデンサを交互に充電するチャージ・ポンプ動作を所与のクロックに基づき行い、前記第1～第N電位の中の第I電位 ($1 < I < N$) を直接に又は調整手段を介して供給するチャージ・ポンプ回路とを含むことを特徴とする。

【0026】本発明によれば、複数のポンピング・コンデンサによりバックアップコンデンサが交互に充電されるため、チャージ・ポンプ回路の出力能力を高めることができる。特に、供給しなければならない消費電流が一般的に多い中間電位の第I電位を、この出力能力の高いチャージ・ポンプ回路で発生することで、表示特性等を効果的に向上できる。

【0027】また本発明は、入力電源電圧が与えられ、表示素子を駆動するための第1～第N ($N \geq 4$) 電位を供給する電源回路であって、所与のクロックに基づきチャージ・ポンプ動作を行い、前記第1～第N電位のい

8

れかを直接に又は調整手段を介して供給するチャージ・ポンプ回路と、前記チャージ・ポンプ回路が含むポンピング・コンデンサの充電及びポンピングコンデンサによるバックアップ・コンデンサの充電を、前記表示素子の駆動における1水平走査期間毎に行わせる手段とを含むことを特徴とする。

【0028】本発明によれば、1水平期間毎にチャージ・ポンプ動作を完了させることができ、これにより表示ムラの発生等を効果的に防止できる。

10 【0029】また本発明は、前記チャージ・ポンプ回路が、複数のポンピング・コンデンサによりバックアップ・コンデンサを1水平期間毎に交互に充電するチャージ・ポンプ動作を行うことを特徴とする。

【0030】このように複数のポンピング・コンデンサで1水平期間毎に交互にバックアップ・コンデンサを充電することで、1水平期間毎にチャージ・ポンプ動作を完了させることが可能となる。

20 【0031】また本発明は、前記チャージ・ポンプ回路の所与のクロックを停止する手段を含むことを特徴とする。

【0032】本発明によれば、ごくわずかな素子数の増加だけで表示オフ制御が可能となり、表示オフ時の消費電流をほぼ零まで低減できる。

【0033】また本発明に係る液晶表示装置は、上記のいずれかの電源回路と、複数のデータ線電極と複数の走査線電極により駆動される液晶層を含む液晶パネルと、前記電源回路により供給される電位に基づいて前記データ線電極を駆動するデータ線ドライバと、前記電源回路により供給される電位に基づいて前記走査線電極を駆動する走査線ドライバとを含むことを特徴とする。

30 【0034】本発明によれば、電源回路自体の消費電力のみならず、液晶表示装置の消費電力も低減でき、携帯用電子機器等に最適な液晶表示装置を提供できる。

【0035】また本発明に係る液晶表示装置は、前記電源回路が、前記入力電源電圧に含まれる高電位側の第1入力電位、低電位側の第2入力電位を、前記第1～第N電位のいずれかとして供給する手段と、所与のクロックに基づきチャージ・ポンプ動作を行い、前記第1～第N電位のいずれかを直接に又は調整手段を介して供給するチャージ・ポンプ回路とを含み、前記第1、第2入力電位を、前記データ線ドライバ及び走査線ドライバの少なくとも一方のロジック部の電源電圧として使用することを特徴とする。

【0036】本発明によれば、第1、第2入力電位が、第1～第N電位のいずれかとして使用されると共に、データ線ドライバ又は走査線ドライバのロジック部の電源電圧としても使用される。これにより、データ線ドライバ等のロジック部のために電源電圧を別に与える必要がなくなり、装置の使用者の利便性を図ることができる。また装置の更なる低消費電力化も図れる。

50

(6)

9

【0037】また本発明は、前記電源回路が、所与のクロックに基づきチャージ・ポンプ動作により前記第1、第2入力電位と異なる電位を発生し、該発生電位を前記第1～第N電位のいずれかとして供給するチャージ・ポンプ回路を含むことを特徴とする。

【0038】本発明によれば、例えばロジック部の電源電圧と、液晶駆動に使用する第G、第J電位 ($1 < G, J < N$) の電位差が異なる場合に、チャージ・ポンプ回路によりこれらが同一となるように調整することが可能となる。これにより、第1、第2入力電位をドライバのロジック部の電源電圧として使用することが、より容易になる。

【0039】また本発明に係る液晶表示装置は、前記電源回路が、前記データ線ドライバ用のラッチパルス又は前記走査線ドライバ用のシフトクロックにより生成されたクロックに基づきチャージ・ポンプ動作を行い、前記第1～第N電位のいずれかを直接に又は調整手段を介して供給するチャージ・ポンプ回路を含むことを特徴とする。

【0040】ラッチパルス、シフトクロックは、周期的に発生するパルスを含むパルス状のクロックであり、チャージ・ポンプ回路のクロックを生成するものとして最適である。従ってこれらを使用することで、液晶表示装置の表示品質の維持と、低消費電力とを両立できる。

【0041】また本発明は、入力電源電圧が与えられ、表示素子を駆動するための第1～第N ($N \geq 4$) 電位を供給する電源回路であって、前記入力電源電圧に含まれる高電位側の第1入力電位を、前記第1～第N電位の中の第G ($1 < G < N$) 電位として供給する手段と、前記入力電源電圧に含まれる低電位側の第2入力電位を、前記第1～第N電位の中の第J ($1 < J < N$) 電位として供給する手段と、所与のクロックに基づきチャージ・ポンプ動作を行い、高電位側の前記第1電位を直接に又は調整手段を介して供給するチャージ・ポンプ回路と、所与のクロックに基づきチャージ・ポンプ動作を行い、低電位側の前記第N電位を直接に又は調整手段を介して供給するチャージ・ポンプ回路とを含むことを特徴とする。

【0042】液晶等の表示素子を駆動する場合、一般的に、高電位側の第1電位、低電位側の第N電位により供給しなければならない消費電流は少く、中間電位である第G電位、第J電位により供給しなければならない消費電流は多い。そして本発明によれば、第1、第N電位は、出力能力は低いが高効率のチャージ・ポンプ回路により供給され、第G、第J電位は、出力能力の高い入力電源電圧により供給される。この結果、本発明によれば、表示品質の維持と低消費電力化とを両立することが可能となり、低消費電力化を目指す液晶表示装置に最適の電源回路を提供できる。

【0043】また本発明は、前記第1～第N電位の中の

10

前記第1、第G、第J、第N電位以外の電位を、所与のクロックに基づきチャージ・ポンプ動作するチャージ・ポンプ回路あるいは所与のオペアンプにより供給することを特徴とする。

【0044】第1、第G、第J、第N電位以外の電位を、全てチャージ・ポンプ回路により供給すれば、更なる低消費電力化を図れる。一方、これらの電位の供給に、出力能力の高いオペアンプを用いたとしても、本発明では、オペアンプの動作電圧を低くできるため、消費電力はそれほど悪化しないという利点がある。

【0045】また本発明は、前記第1～第N電位を、前記第1入力電位、前記第2入力電位、該第1、第2入力電位の midpoint 電位、並びに該第1、第2入力電位と異なる電位を発生した場合の該発生電位と該第1又は第2入力電位との midpoint 電位のいずれかに対して対称に形成することを特徴とする。

【0046】即ち本発明によれば、第1～第N電位を、第1入力電位に対して対称に、あるいは第2入力電位に対して対称に、あるいは第1、第2入力電位の midpoint 電位に対して対称に、あるいは発生電位と第1又は第2入力電位との midpoint 電位に対して対称に形成することができる。

【0047】また本発明は、前記第1、第2入力電位のいずれかに基づき該第1、第2入力電位と異なる電位を発生し、該発生電位を前記第G、第J電位のいずれかとして供給することを特徴とする。

【0048】例えば第1、第2入力電位の電位差に比べて、必要とされる第G、第J電位の電位差が大きい場合を考える。この場合に、本発明によれば、例えば第1入力電位から、より高い電位を発生することで、所望の電位差を持つ第G、第J電位を得ることができる。これによりロジック電圧の低電圧化等が可能となる。

【0049】また本発明は、入力電源電圧が与えられ、表示素子を駆動するための第1～第N ($N \geq 4$) 電位を供給する電源回路であって、所与のクロックに基づきK倍 ($K \geq 2$) 昇圧のチャージ・ポンプ動作を行い、前記第1～第N電位のいずれかを直接に又は調整手段を介して供給するチャージ・ポンプ回路と、所与のクロックに基づきL/M倍 (但しL/Mは整数でない) 降圧又はM/L倍昇圧のチャージ・ポンプ動作を行い、前記第1～第N電位のいずれかを直接に又は調整手段を介して供給するチャージ・ポンプ回路とを含むことを特徴とする。

【0050】本発明によれば、例えば6倍昇圧回路と1/3倍降圧回路とが混在するような電源回路を実現できる。これにより、表示素子の駆動に必要なとされる種々の電圧群を、低消費電力で供給することが可能となる。

【0051】また本発明は、入力電源電圧が与えられ、表示素子を駆動するための第1～第N ($N \geq 4$) 電位を供給する電源回路であって、所与のクロックに基づきK倍 ($K \geq 2$) 昇圧又はL/M倍 (但しL/Mは整数でない)

(7)

11

い) 降圧又は M/L 倍昇圧のチャージ・ポンプ動作を行い、前記第1～第 N 電位のいずれかを直接に又は調整手段を介して供給するチャージ・ポンプ回路と、前記チャージ・ポンプ回路の昇圧倍率又は降圧倍率を変更する手段とを含むことを特徴とする。

【0052】本発明によれば、チャージ・ポンプ回路が行う昇圧又は降圧の倍率を変更でき、例えば6倍昇圧回路を5倍昇圧回路に変更すること等が可能となる。例えば表示素子の特性、入力電源電圧の値に応じて昇圧倍率等を変更することで、必要となる種々の駆動電圧群を形成することが可能となる。なお、昇圧、降圧倍率の変更は、外部端子等を用いても行えるようにしておくことが望ましい。

【0053】また本発明は、入力電源電圧が与えられ、表示素子を駆動するための第1～第 N ($N \geq 4$) 電位を供給する電源回路であって、所与のクロックに基づきチャージ・ポンプ動作を行い、高電位側の前記第1電位又は低電位側の前記第 N 電位を直接に又は調整手段を介して供給するチャージ・ポンプ回路と、前記入力電源電圧の投入後の所与の期間、前記チャージ・ポンプ回路による前記第1電位又は前記第 N 電位の供給を停止する手段とを含むことを特徴とする。

【0054】本発明によれば、入力電源電圧の投入後、所与の期間が経過し、制御回路等が正常に動作した後に、第1又は第 N 電位の供給を開始させることが可能となる。これによりシステムの正常な立ち上げが可能となる。

【0055】また本発明は、入力電源電圧が与えられ、表示素子を駆動するための第1～第 N ($N \geq 4$) 電位を供給する電源回路であって、前記入力電源電圧に含まれる高電位側の第1入力電位を、前記第1～第 N 電位の中の第 G ($1 < G < N$) 電位として供給する手段と、前記入力電源電圧に含まれる低電位側の第2入力電位を、前記第1～第 N 電位の中の第 J ($1 < J < N$) 電位として供給する手段と、前記入力電源電圧に含まれる前記第1、第2入力電位よりも高電位側又は低電位側の第3入力電位を、高電位側の前記第1電位と低電位側の前記第 N 電位のいずれかとして供給する手段と、所与のクロックに基づきチャージ・ポンプ動作を行い、前記第1、第 N 電位のいずれかを直接に又は調整手段を介して供給するチャージ・ポンプ回路と、所与のクロックに基づきチャージ・ポンプ動作を行い、前記第 G 、第 J 電位よりも高電位側又は低電位側の第 F 電位 ($1 < F < N$) を、直接に又は調整手段を介して供給するチャージ・ポンプ回路とを含む、前記第1～第 N 電位の中の前記第1、第 F 、第 G 、第 J 、第 N 電位以外の電位を、所与のクロックに基づきチャージ・ポンプ動作するチャージ・ポンプ回路により供給することを特徴とする。

【0056】本発明によれば、必要とされる消費電流に見合った出力能力を有する回路及び手段により第1～第

12

N 電位の供給が可能となり、表示品質の維持と低消費電力化とを両立できる。

【0057】また本発明は、入力電源電圧が与えられ、表示素子を駆動するための第1～第 N ($N \geq 4$) 電位を供給する電源回路であって、所与のクロックに基づきチャージ・ポンプ動作を行い、前記第1～第 N 電位のいずれかを直接に又は調整手段を介して供給するチャージ・ポンプ回路と、前記入力電源電圧の供給停止、前記所与のクロックの供給停止あるいは表示オフ制御信号の入力の少なくとも1つがなされた場合に、前記第1、第 N 電位の少なくとも一方により電圧が供給される回路部分の残留電荷を放電させる手段とを含むことを特徴とする。

【0058】本発明によれば、表示素子に高電圧が印加され続ける等の事態が防止され、信頼性の向上等を図ることができる。

【0059】また本発明に係る電子機器は、前記液晶表示装置を含むことを特徴とする。

【0060】本発明によれば、液晶表示装置のみならず、これを含む電子機器の低消費電力化を図ることができる。これにより携帯用情報機器等の電子機器の電池寿命を延ばすこと等が可能となる。

【0061】

【発明の実施の形態】以下、本発明の実施例を図面に基づいて説明する。なお、特に記さないかぎり便宜上 GND の電位を0Vとして説明を進める。

【0062】〔実施例1〕図1に実施例1の電源回路のブロック図を示す。この電源回路は図49の電源回路と同一の出力電圧を発生する機能を持つ。

【0063】この電源回路の入力電源電圧は、 V_{cc} (第1入力電位)、 GND (第2入力電位) のみであり単一電源入力となっている。また水平走査期間毎に発生するパルスから成るラッチパルス LP が入力される。クロック形成回路1は、 LP に基づき、チャージ・ポンプ回路に必要な、タイミングの異なるいくつかのクロック信号を形成するものであり、 V_{cc} 及び GND を電源としている。負方向6倍昇圧回路2は、 V_{cc} を基準に GND を負方向へ6倍昇圧した電圧 V_{EE} をチャージ・ポンプ動作により発生する。 V_{cc} が3.3Vの時、 V_{EE} は-16.5Vになる。コントラスト調整回路3は、最適コントラストとなる選択電圧 V_L を V_{EE} に基づき発生する。この V_L は Y 電極の負側選択電圧となる。2倍昇圧回路4は、 V_L を基準に GND を2倍昇圧した正側の選択電圧 V_H をチャージ・ポンプ動作により発生する。負方向2倍昇圧回路5は、 V_{cc} を基準に GND を負方向へ2倍昇圧した電圧である $-V/3$ をチャージ・ポンプ動作により発生する。1/2降圧回路6、7は、 $V_{cc}-GND$ 間を2等分した電圧である $V/2$ 、 $GND-(V/3)$ 間を2等分した電圧である $-V/2$ をチャージ・ポンプ動作により発生する。中央電位 VC には GND をそのまま用いる。また GND に対して $-V/3$ と対称な

(8)

13

電位であるV3には、Vccをそのまま用いる。以上で液晶パネルを駆動する電圧は形成できた。この電源回路では、出力される電圧VH、V3、V2、VC、-V2、-V3、VLは、GND（第2入力電位）に対して対称となる。なお回路8は、VLよりVccだけ高い電圧を形成し、これをYドライバのロジック電圧VDDyとして供給するものである。VDDy自体はパネルには直接加えられることがないため、電圧の対称性の対象外である。

【0064】以上説明した本実施例は、次のような構成上の特徴を有している。

【0065】(1) 本実施例では、入力電源電圧に含まれる高電位側の第1入力電位Vcc、低電位側の第2入力電位GNDを、第1～第N電位($N \geq 4$)の中の第G電位V3、第J電位VCとしてそのまま用いている。また所与のクロックに基づきチャージ・ポンプ動作を行い、高電位側の第1電位VH、低電位側の第N電位VLを、直接に又は調整手段(コントラスト調整回路3)を介して供給する2倍昇圧回路4、負方向6倍昇圧回路2を含んでいる。

【0066】背景技術において説明したように、液晶パネル自体の消費電流は、Y電極の非選択電圧VCと、X電極の駆動電圧V3、V2、-V2、-V3との間で流れるものが大部分である。例えば1/240デューティの場合、選択状態のY電極は4ラインのみであるのに対して残りの236ラインは全て非選択状態だからである。本実施例はこの点に着目し、第1電位VH、第N電位VLを、出力能力(電流供給能力)は低いが高効率のチャージ・ポンプ回路で供給すると共に、中間電位である第G電位V3、第J電位VCには出力能力の高い入力電源電圧Vcc、GNDを接続している。このようにすることで、表示品質の維持と低消費電力化とを両立できる。一方、図49の電源回路は、全ての電流が第1電位VEE、第N電位GND間を流れる構成となっているため、VEEを形成する回路は出力能力の高いものでなければならない。従って、VEEをチャージ・ポンプ回路で供給することがほとんど不可能であり、表示品質の維持と低消費電力化とを両立できない。

【0067】(2) 本実施例では、第1～第N電位の中の前記第1、第G、第J、第N電位以外の電位V2、-V2、-V3を、所与のクロックに基づきチャージ・ポンプ動作する1/2降圧回路6、7、負方向2倍昇圧回路5により供給している。このようにV2、-V2、-V3もチャージ・ポンプ回路により供給することで、更なる低消費電力化を図れる。しかも本実施例によればチャージ・ポンプ動作に必要なクロックをチャージ・ポンプ回路間で共有できるため、制御が容易であり、回路規模の増大も最小限に抑えることができる。

【0068】なお図2に、V2、-V2をオペアンプOP1、OP2により供給する場合のブロック図を示す。

14

R1、R3は、V3、VC(GND)間を電圧分割するためのブリーダ抵抗、R2、R4は、VC、-V3間を電圧分割するためのブリーダ抵抗である。またOP1、OP2は、ブリーダ抵抗により分割された電圧を低インピーダンスで出力するためのオペアンプである。またR11、R12は、OP1、OP2の出力電流を制限して動作の安定化を図るとともにその消費電力を減らすための抵抗であり、C1～C4はV2、-V2の変動を抑えるための平滑コンデンサである。OP1はV3、VCを電源として、OP2はVC、-V3を電源として動作する。C1はV3、VC間に、C4はVC、-V3間に配置してもよい。このようにV2、-V2をオペアンプOP1、OP2により供給しても、OP1、OP2は、図49の電源回路と異なり、小さい電源電圧で動作するため、この部分の消費電力を許容範囲内に抑えることができる。

【0069】(3) また本実施例は、所与のクロックに基づきK倍($K \geq 2$)昇圧のチャージ・ポンプ動作を行い、第1～第N電位のいずれかを直接に又は調整手段

(コントラスト調整回路3)を介して供給する負方向6倍昇圧回路2、2倍昇圧回路4、負方向2倍昇圧回路5と、所与のクロックに基づきL/M倍(但しL/Mは整数でない)降圧又はM/L倍のチャージ・ポンプ動作を行い、第1～第N電位のいずれかを直接に又は調整手段を介して供給する1/2降圧回路6、7とを含む。このように本実施例では、K倍昇圧を行うチャージ・ポンプ回路と、L/M倍降圧等を行うチャージ・ポンプ回路とを混在させている。これにより、単一入力電源(Vcc、GND)から種々の電圧を低消費電力で供給することが可能となる。

【0070】次にコントラスト調整回路3について図3を用いて説明する。コントラスト調整回路3は、GND-VEE間に直列接続で挿入された固定抵抗Rfix及び可変抵抗Rvolと、バイポーラ・トランジスタTrと、コンデンサCVLとを含む。本実施例の電源回路で駆動する液晶表示装置においては、出力電圧VLを流れる電流が小さいため、Trのベース電流も小さくて済む。その結果、RfixやRvolは500K Ω ～1M Ω と高抵抗でよく、この抵抗による消費電力を0.2mW～0.4mW程度に抑えることができる。

【0071】なお図1ではコントラスト調整回路3をVL側のみ設けたが、VH側のみに設けたり、VH側とVL側の両方に設けてもかまわない。図1では、一方側にのみコントラスト調整回路3を設け、コントラスト調整回路3で得た電圧VLに基づいて2倍昇圧回路4によりVHを生成している。この構成では、コントラスト調整回路3によりVLを調整することで、VHも自動的に調整できるという利点がある。一方、VH、VLの両側にコントラスト調整回路3を設ける構成によると、VH、VLを独立に調整できるという利点がある。MIM

(9)

15

等の非線形スイッチング素子は、電圧を印加する方向によって電流の流し易さが異なるという特性を有している。従って、MIM等を用いた液晶表示装置では、 $|V_H|$ を $|V_L|$ に対して0.5V程度低くすることが好ましい場合がある。従って、このような場合には、コントラスト調整回路をVH側と、VL側の両方に設けることが望ましい。具体的には、VH側のコントラスト調整回路にダイオード等を含ませ、このダイオードの順方向電圧を利用してVHを降圧すればよい。

【0072】また図1では、7レベルの電圧を得るために1/2降圧回路6、7を設けたが、所望の電圧が5レベルの場合には、1/2降圧回路6、7を省略すればよい。

【0073】以上の構成の本実施例によれば、以下に述べる理由により、4ライン同時選択法で駆動される液晶表示装置の低消費電力化が可能となる。

【0074】第一の理由は、パネルの充放電電流による消費電力が究極的にまで低減するからである。パネル電流の大部分を占める充放電電流、即ちX電極と非選択状態のY電極との間で流れる充放電電流について考える。X電極の電圧 V_3 、 $-V_3$ 、 V_2 、 $-V_2$ と、Y電極の電圧 V_C との間で流れる充放電電流を各々 I_{P3} 、 I_{M3} 、 I_{P2} 、 I_{M2} とする。すると I_{P3} による消費電力は $V_{CC} \times I_{P3}$ となる。またチャージ・ポンプ回路は極めて高効率であるから、 I_{M3} による消費電力もほぼ $V_{CC} \times I_{M3}$ となり、 I_{P2} 、 I_{M2} による消費電力も各々ほぼ $(1/2) \times V_{CC} \times I_{P2}$ 、 $(1/2) \times V_{CC} \times I_{M2}$ となる。一方、図49の背景例では、高電圧を V_{EE} とすると、これら各電流による消費電力は $V_{EE} \times I_{P3}$ 、 $V_{EE} \times I_{M3}$ 、 $V_{EE} \times I_{P2}$ 、 $V_{EE} \times I_{M2}$ となる。 V_{EE} は2.5V程度であり、 V_{CC} は3.3V程度であるから、 I_{P3} 、 I_{M3} による消費電力は背景例の1/7以下となり、 I_{P2} 、 I_{M2} による消費電力は1/14以下となる。

【0075】次に、X電極と選択状態のY電極との間で流れる充放電電流について考える。Y電極の電圧 V_H 、 V_L とX電極との間で流れる充放電電流を各々 I_{VH} 、 I_{VL} とする。すると、やはり、チャージ・ポンプ回路の高効率性から、 I_{VH} 、 I_{VL} による消費電力は各々ほぼ $5 \times V_{CC} \times I_{VH}$ 、 $5 \times V_{CC} \times I_{VL}$ となり、背景例の消費電力よりも小さくなる。

【0076】第二の理由は高速で動作し消費電流の大きいXドライバのロジック部での消費電力が低減するからである。前述したように、背景例の電源回路では、Xドライバのロジック部での消費電流が高電圧 V_{EE} から供給されているため、消費電力が $V_{EE} \times$ 消費電流となる。これに対して、本実施例では消費電力が $V_{CC} \times$ 消費電流となり、背景例の1/7以下となる。

【0077】第三の理由は高電圧 V_{EE} を形成する昇圧回路の消費電力が小さいからである。一般に、チャージ

16

・ポンプ式の昇圧回路は昇圧能力が小さく、大きな電流を取り出すと出力電圧が低下してしまう。背景例の電源回路で駆動する液晶表示装置では、高電圧系の電流が大きいため、 V_{EE} を形成するのにチャージ・ポンプ式の昇圧回路では能力不足である。従って背景例では、コイルに流す電流を断続する時に発生する高電圧を整流して高電圧 V_{EE} を形成するスイッチング・レギュレータ方式のDC-DCコンバータが用いられる。スイッチング・レギュレータ方式のDC-DCコンバータの効率は5V入力のもので通常80%程度、3.3V入力のものでは60%程度と極めて低い。このため、 V_{EE} を形成する昇圧回路まで含めると、背景例の電源回路で駆動する液晶表示装置の消費電力は大変大きい。これに対し本実施例の電源回路で駆動する液晶表示装置は高電圧系の電流が小さい。従って、高電圧 V_{EE} は、出力能力は小さいが高効率のチャージ・ポンプ式昇圧回路で供給でき、 V_{EE} を形成する昇圧回路まで含めた消費電力を大きく低減できる。

【0078】以上が本実施例の電源回路により液晶表示装置の低消費電力化が可能となる理由である。実際に図1の方式の電源回路でドット数が 640×480 、ドットピッチが0.2mmの2画面駆動の液晶表示装置を駆動してみたところ、典型的な消費電力が12mW程度という期待通りの値であった。

【0079】なお本実施例の電源回路をIC化する場合、VLの形成は、前述したバイポーラ・トランジスタによる回路を外付けする方式ではなく、オペアンプ形式のレギュレータをICに内蔵させることでも可能である。また、ICの耐圧を下げるために、VH形成用の2倍昇圧回路4を構成する素子のうち、VH-GNDをスイッチングするトランジスタを外付けとし、それ以外を1チップにまとめることも実用的な手段である。

【0080】本実施例の電源回路では、その構成のほとんどをチャージ・ポンプ回路で形成しているため、コンデンサを多く必要とする印象を与える。しかしながら実際には、チャージ・ポンプ回路に含まれるバックアップ・コンデンサの一部を省略したり、0.1 μ F程度の小さな容量値のもので済ませることが可能である。これは、液晶パネル自体が持つ容量が、バックアップ・コンデンサとして働くためと考えられる。

【0081】【実施例2】実施例2は、図1のクロック形成回路1に関する実施例であり、図4にその構成の一例を、図5にその動作を説明するためのタイミングチャートを示す。この回路全体は V_{CC} -GND系で動作する。また基本クロック信号として、水平走査期間(1H)毎に発生するパルスを含むラッチパルスLPを使用する。Dタイプ・フリップフロップDFは、/Q出力が書き込みデータ入力Dに接続されており、これによりLPの立ち上がりエッジでトグル動作をする。ノア回路N or 1、N or 2は、2相のクロック信号A、Bを形成

(10)

17

するためのものであり、インバータ回路 I_{nv1} 、 I_{nv2} 、 I_{nv3} は、各々、 A 、 B 、 $\neg Doff$ の逆相の信号 $\neg A$ 、 $\neg B$ 、 $Doff$ を形成するためのものである。

【0082】(1) パルス状クロック

本実施例では、周期的に発生するパルス（図5の $P1$ 、 $P2$ 等）を含むパルス状クロック LP により生成されたクロックに基づき、チャージ・ポンプ回路（図1の負方向6倍昇圧回路2等）にチャージ・ポンプ動作を行わせている。そしてチャージ・ポンプ回路が含むポンピング・コンデンサの充電、及びポンピングコンデンサによるバックアップ・コンデンサの充電を、パルス状クロック LP のパルスの発生期間において停止させている。即ち、図5の Tp に示すように、 LP のパルスの発生期間（ LP がハイレベルの期間）は、信号 A も信号 B もロウレベルになるようにしている。信号 A 、 B がロウレベルになると、チャージ・ポンプ回路を形成するスイッチ群（トランジスタ群）は全てオフになり、これにより、遷移タイミングでの電荷の逃げを防止できる。

【0083】但し、この遷移タイミングでのスイッチ群のオフ時間が長すぎると（ Tp の期間が長すぎると）、逆にポンピング・コンデンサ、バックアップ・コンデンサを充電する時間が短くなるため、必要な電圧が得られなくなる。 LP は、パルス幅が通常 $100\text{ns} \sim 300\text{ns}$ 程度、周期が数十 $\mu\text{s} \sim 100\mu\text{s}$ 程度のパルス状クロックであるため、この回路の基本クロックとして好都合である。また、パネルの充放電は1水平走査（1H）周期で起こるため、 LP を用いて1H周期でパネルの駆動電圧を充電することは理に合っている。 LP を入力とせず、CR発振回路等で基本クロックを内部発生することも可能ではあるが、ドライバICに入力されるラッチパルスを、本電源回路の基本クロックにも転用する方が回路が簡単となり好ましい。

【0084】なお本実施例で使用するパルス状クロックは、Xドライバ用のラッチパルスである LP に限らず、例えばYドライバ用のシフトクロック Y_{SCL} 等を用いてもよい。またパルス状クロックを用いない場合には、スイッチ群をオフさせる期間 Tp を、ディレイ回路等を利用して作り出せばよい。

【0085】(2) クロックの停止機能

また本実施例では、表示オフ制御信号 $\neg Doff$ がロウレベルに間は、信号 A も信号 B もロウレベルにして、チャージ・ポンプ回路の動作が停止するようにしている。即ち電源回路に、チャージ・ポンプ回路に与えるクロックを停止する機能を持たせている。この機能を付加することで、表示オフ制御時の電源回路の消費電力をほぼ零にできる。また、選択電圧の出力が同時に停止するため、Yドライバに表示オフ制御機能が無いものを用いても、液晶表示装置全体として表示オフ制御機能を持たせることが可能となる。なお、図4の例では電源回路をI

18

C化した時のテスト容易性を考慮し、 DF にリセットをかけることによってクロックの発生を停止し、チャージ・ポンプ回路の動作を停止している。しかしながら、 LP と $\neg Doff$ を所与のAND回路に入力し、得られた信号を新たな基本クロックとするという方法を用いても、チャージ・ポンプ回路の動作を停止することは可能である。

【0086】〔実施例3〕実施例3は、図1の負方向6倍昇圧回路2、2倍昇圧回路4等のチャージ・ポンプ回路に関する実施例である。

【0087】(1) 基本概念

図6はチャージ・ポンプ回路の最も基本となる概念図である。図6において SWa と SWb は連動スイッチであり、一方がA側に倒れている間他方もA側に倒れている。また図6では SWa 、 SWb を機械的なスイッチで表したが、実際にはスイッチ SWa 、 SWb は、A側との導通・遮断を制御するMOSトランジスタと、B側との導通・遮断を制御するMOSトランジスタの通常2つのトランジスタにより構成できる。

【0088】 SWa 、 SWb がA側に切り替わっている間は、ポンピング・コンデンサ Cp は $Vb - Va$ の電圧で充電される。次いで SWa 、 SWb がB側に切り替わると、 Cp に充電された電荷がバックアップ・コンデンサ Cb に転送される。このスイッチング動作を繰り返すことにより、 Cb に加わっている電圧、すなわち、 $Ve - Vd$ 間の電圧は $Vb - Va$ 間の電圧とほぼ等しい値に近づく。この時、 Vd がある定まった電圧である場合には、 Vd より $Vb - Va$ だけ高い電圧が Ve に発生する。逆に、 Ve がある定まった電圧である場合には、 Ve より $Vb - Va$ だけ低い電圧が Vd に発生する。以上がチャージ・ポンプ回路の基本動作である。次に述べるように、 Va 、 Vb 、 Vd 、 Ve をどこに接続するかによって、この回路が昇圧回路として機能したり、降圧回路として機能したりする。

【0089】(2) 2倍昇圧

図7は、図6において Vd を Vb に結線したもので、2倍昇圧用チャージ・ポンプ回路の概念図となる。つまり、上述した理由により、 SWa と SWb が連動スイッチング動作を繰り返すことで $Ve - Vd = Ve - Vb = Vb - Va$ となるから、 $Ve - Va = (Ve - Vb) + (Vb - Va) = 2 \times (Vb - Va)$ が成立する。すなわち、 Va を電位の基準レベル（0V）とすると $Ve = 2 \times Vb$ となり、 Ve は Vb を2倍昇圧した電圧となる。

【0090】(3) 負方向2倍昇圧

図8は、図6において Ve を Va に結線したもので、負方向2倍昇圧用チャージ・ポンプ回路の概念図となる。 SWa と SWb が連動スイッチング動作を繰り返すことで $Ve - Vd = Va - Vd = Vb - Va$ となるから、 $Vb - Vd = (Vb - Va) + (Va - Vd) = 2 \times (V$

(11)

19

$b - V_a$) が成立する。すなわち V_b を電位の基準レベル (0 V) とすると $V_d = 2 \times V_a$ となり、 V_d は V_a を負方向へ2倍昇圧した電圧となる。

【0091】(4) 1/2 降圧

図9は、図8において入力電圧を $V_b - V_a$ から $V_b - V_d$ に変更したものであり、1/2 降圧用チャージ・ポンプ回路の概念図である。 V_e が出力電圧であり、 V_e につながる負荷が消費する電流はバックアップ・コンデンサ C_b から供給される。まず、 SW_a 、 SW_b が B 側と導通している時は C_p と C_b とは並列接続になるから、この C_p 、 C_b に加わっている電圧は等しい。次に SW_a 、 SW_b が A 側に切り変わると、直列接続となった C_p 、 C_b が、入力電圧 $V_b - V_d$ 間に入る形となり、 C_p 、 C_b に加わる電圧は入力電圧の半分となる。次いで再び SW_a 、 SW_b が B 側に切り変わると、 C_p と C_b は並列接続になるから、 C_p に蓄えられていた電荷が C_b に供給され、 C_p に加わる電圧と C_b に加わる電圧が等しくなる。従って、 C_p 、 C_b に蓄えることのできる電荷が、 V_e の負荷電流により持ち去られる電荷に比べて十分に大きければ、 SW_a と SW_b が連動スイッチング動作を繰り返すことで、 V_e には、入力電圧の 1/2 に近い出力電圧が発生することになる。

【0092】(5) 負方向6倍昇圧

図10は、負方向6倍昇圧用チャージ・ポンプ回路の一例を示す概念図であり、図11 (A)、図11 (B) は、各々、 $SW_a 1 \sim SW_a 3$ 及び $SW_b 1 \sim SW_b 3$ が A 側、B 側に切り替わっている時の接続関係図である。 $SW_a 1 \sim SW_a 3$ 及び $SW_b 1 \sim SW_b 3$ は連動スイッチであり、 $C_p 1 \sim C_p 3$ はポンピング・コンデンサ、 $C_b 1$ と $C_b 2 3$ はバックアップ・コンデンサである。

【0093】前述した負方向2倍昇圧回路と同じ動作により、 $-V_{3B}$ には、 V_{cc} を基準として GND を負方向へ2倍昇圧した電圧である $-2 \times (V_{cc} - GND)$ が発生する。全スイッチが A 側に切り替わっている場合は、図11 (A) に示すように、 $C_p 2$ と $C_p 3$ は並列接続となるため、 $C_p 2$ 、 $C_p 3$ は、各々、ほぼ $2 \times (V_{cc} - GND)$ の電圧で充電されることになる。

【0094】次に全スイッチが B 側に切り変わると、図11 (B) に示すように、直列接続された $C_p 2$ 、 $C_p 3$ が、 $C_b 2 3$ に並列接続される。 $C_p 2$ 、 $C_p 3$ は、前述のように $2 \times (V_{cc} - GND)$ で充電されている。従って、 $-V_{3B}$ 、 V_{EE} 間には $4 \times (V_{cc} - GND)$ の電圧が発生し、この電圧で $C_b 2 3$ が充電される。以上の理由から、全スイッチが連動スイッチング動作を繰り返すことで、 V_{EE} には、 V_{cc} を基準に GND を負方向へ6倍昇圧した電圧、即ち $V_{cc} - 6 \times (V_{cc} - GND)$ が発生する。例えば $V_{cc} = 3V$ の場合には、 $-V_{3B}$ には $-3V$ 、 V_{EE} には $-15V$ の電圧が発生する。

20

【0095】図12は、負方向6倍昇圧用チャージ・ポンプ回路の他の例を示す概念図であり、図13 (A)、図13 (B) は、各々、 $SW_a 1 \sim SW_a 3$ 及び $SW_b 1$ 、 $SW_b 2 3$ が A 側、B 側に切り替わっている時の接続関係図である。 $C_p 1 \sim C_p 3$ はポンピング・コンデンサ、 $C_b 1 \sim C_b 3$ はバックアップ・コンデンサである。

【0096】図10の回路と同様に、 $-V_{3B}$ には、 V_{cc} を基準に GND を負方向へ2倍昇圧した電圧である $-2 \times (V_{cc} - GND)$ が発生する。全スイッチが A 側に切り替わっている時は、図13 (A) に示すように、 $C_p 2$ は、ほぼ $2 \times (V_{cc} - GND)$ の電圧で充電される。また図12に示すように $C_p 2$ 、 $C_b 2$ 、 $SW_b 2 3$ 、 $SW_a 2$ から成る回路は、 $C_p 1$ 、 $C_b 1$ 、 $SW_b 1$ 、 $SW_a 1$ から成る回路と同様に、負方向2倍昇圧回路となっている。従って $C_b 2$ も、 $2 \times (V_{cc} - GND)$ の電圧で充電され、 V_{EM} には、 $-4 \times (V_{cc} - GND)$ の電圧が発生する。これにより $C_p 3$ は、 $4 \times (V_{cc} - GND)$ の電圧で充電されることになる。

【0097】次に全スイッチが B 側に切り変わると、図13 (B) に示すように、 $-V_{3B}$ と V_{EE} との間に $C_p 3$ が挿入される接続関係になる。 $-V_{3B}$ の電圧は $-2 \times (V_{cc} - GND)$ であり、 $C_p 3$ は $4 \times (V_{cc} - GND)$ の電圧で充電されている。従って V_{EE} には結局、 V_{cc} を基準に GND を負方向へ6倍昇圧した電圧、即ち $V_{cc} - 6 \times (V_{cc} - GND)$ の電圧が発生する。

【0098】図10の回路は図12の回路と異なり、 $-V_{3B}$ と V_{EE} との中間の安定した電圧である V_{EM} が不要であるため、図12の回路よりも必要なコンデンサの数が1つ少なくてよいという利点がある。一方、図12の回路は、 $C_p 2$ 及び $C_p 3$ の+電極につながるスイッチが共用となるため、図10の回路よりも必要なスイッチの数が1つ (トランジスタ数としては2つ) 少なくてよいという利点がある。更に、中間電圧 V_{EM} を形成することで図10の回路よりもトランジスタのドレイン耐圧が低くてもよくなり、トランジスタのサイズを小さくできるという利点もある。

【0099】(6) 3/2 倍昇圧

図14 (A)、図14 (B) は、3/2 倍昇圧用チャージ・ポンプ回路の概念図である。 $C_p H$ 、 $C_p L$ はポンピング・コンデンサであり、 C_b はバックアップ・コンデンサである。図14 (A)、14 (B) に示すように、この回路では、 $C_p H$ 、 $C_p L$ 、 C_b が直列接続になっている状態と、 C_b 、 $C_p H$ 、 $C_p L$ が並列接続になっている状態とが交互に繰り返される。 $C_p H$ 、 $C_p L$ に加わっている電圧を各々 $V_{c.p.H}$ 、 $V_{c.p.L}$ と表すと、図14 (B) で $C_p H$ と $C_p L$ が並列接続になっていることから、 $V_{c.p.H} = V_{c.p.L}$ となる。また図14

(12)

21

(A)のように C_{pH} と C_{pL} とが $V_{cc}-GND$ 間に直列接続となった時、 C_{pH} と C_{pL} には V_{cc} の $1/2$ の電圧が充電される。その後、図14(B)の接続状態となった時、 C_{pH} と C_{pL} に蓄えられていた電荷が C_b に供給される。この動作を何回も繰り返すことにより、 C_b 、 C_{pH} 、 C_{pL} に加わっている電圧はどれも V_{cc} の $1/2$ に近づき、この結果、出力電圧には V_{cc} を $3/2$ 倍に昇圧した電圧が発生する。

【0100】(7) 負方向 $3/2$ 倍昇圧

図15(A)、図15(B)は、負方向 $3/2$ 倍昇圧用チャージ・ポンプ回路の概念図である。動作原理は上記の $3/2$ 倍昇圧と同様であるため、詳細な説明は省略する。 $3/2$ 倍昇圧の場合と同様に、ポンピング・コンデンサ C_{pH} 及び C_{pL} がバックアップ・コンデンサ C_b と直列接続になっている図15(A)の状態と、 C_b と C_{pH} と C_{pL} が並列接続になっている図15(B)の状態とを交互に繰り返すことにより、上記の $3/2$ 倍昇圧とは逆方向の昇圧電圧 $-3/2 \times V_{cc}$ を得ることができる。液晶表示装置のドライバICには、ロジック電圧と、そのロジック電圧よりも負側の電圧とを必要とすることがよくあり、そうした液晶表示装置にこの回路を応用することにより、液晶表示装置の低消費電力化が可能となる。

【0101】(8) $2/3$ 倍降圧

図16(A)、図16(B)は、 $2/3$ 倍降圧用チャージ・ポンプ回路の概念図である。この回路においても、ポンピング・コンデンサ C_{pH} 及び C_{pL} がバックアップ・コンデンサ C_b と直列接続になっている図16

(A)の状態と、 C_b と C_{pH} と C_{pL} が並列接続になっている図16(B)の状態とを交互に繰り返す。 C_b 、 C_{pH} 、 C_{pL} に加わっている電圧は図16(B)では並列接続になることから全て同一となり、図16

(A)のように直列接続となった時、 C_b と C_{pH} と C_{pL} にはそれぞれ V_{cc} のほぼ $1/3$ の電圧が充電される。この動作を何回も繰り返すことにより、 C_b 、 C_{pH} 、 C_{pL} に加わっている電圧はどれも V_{cc} の約 $1/3$ に近づき、この結果、出力には V_{cc} より $(1/3) \times V_{cc}$ だけ低い電圧、すなわち、 V_{cc} を $2/3$ 倍に降圧した電圧が発生する。

【0102】(9) 負方向 $2/3$ 倍降圧

図17(A)、図17(B)は、負方向 $2/3$ 倍降圧用チャージ・ポンプ回路の概念図である。動作原理は上記の $2/3$ 倍降圧と同様であるため、詳細な説明は省略する。 $2/3$ 倍降圧の場合と同様に、 C_{pH} 及び C_{pL} がバックアップ・コンデンサ C_b と直列接続になっている図17(A)の状態と、 C_b と C_{pH} と C_{pL} が並列接続になっている図17(B)の状態とを交互に繰り返すことにより、 $2/3$ 倍降圧の場合とは逆方向の降圧電圧 $-2/3 \times V_{cc}$ を得ることができる。

【0103】(10) チャージ・ポンプ回路の具体例

22

図18に、図8に示す負方向 2 倍昇圧用チャージ・ポンプ回路の基本部分を、個別部品で構成した場合(ディスクリットで構成した場合)の例を示す。 V_x を入力電圧、 V_y を出力電圧とし、 $V_x > 0$ とする。タイミングT1(図19参照)でPMOSトランジスタの $Trp1$ と $Trp2$ はオンし、ポンピング・コンデンサ C_p を V_x-GND の電圧で充電する。この時N-MOSトランジスタの $Trn1$ と $Trn2$ はオフしている。次のタイミングT2では $Trp1$ と $Trp2$ をオフさせるとともに $Trn1$ と $Trn2$ をオンさせて、ポンピング・コンデンサ C_p に充電されていた電荷をバックアップ・コンデンサ C_b に移す。図18のように $Trn1$ のソース電極をGNDに接続しておけば、上記タイミングT1、T2の動作を交互に繰り返すことにより、出力 V_y にはGNDに対して V_x と対称な電圧が発生する。

【0104】図18においてトランジスタのゲートに入る信号/A1、/A2、B、B2は、例えば図19に示すような位相と電圧の信号である。これらの信号のレベルがVCとGNDの間でない場合には、信号をレベルシフトする手段が必要となる。個別部品を用いる場合の簡単なレベルシフト方法は図20(A)、図20(B)のようにカップリング・コンデンサ C_s とダイオードDを利用する方法である。カップリング・コンデンサ C_s の容量は $470pF$ 程度あればよい。図20(A)の接続により、信号/Aと同位相、同振幅であり、且つPMOSトランジスタ Trp をオン/オフできるゲート信号/Axを得ることができる。また図20(B)の接続により、信号Bと同位相、同振幅であり、且つNMOSトランジスタ Trn をオン/オフできるゲート信号/Bxを得ることができる。Rpは数MΩの抵抗で、ダイオードのリーク電流を補償しゲート信号の電圧を安定化する働きをしている。

【0105】以上は個別部品を用いてチャージ・ポンプ回路を構成する場合について述べた。これに対してチャージ・ポンプ回路をモノリシックIC化する場合、チャージ・ポンプ回路のトランジスタ構成やレベルシフト手段には、よりモノリシックIC化に適した公知の構成・手段を採用すればよい。

【0106】(11) ダイオードを用いたチャージ・ポンプ回路

図21に、スイッチ素子としてトランジスタの代わりにダイオードD1、D2を用いた場合のチャージ・ポンプ回路の構成例を示す。 V_1 は、安定した入力電圧であり、 V_x は、振幅電圧が V_p であり駆動能力の高いクロックである。この回路によれば、ダイオードの順方向電圧を約 $0.6V$ とすれば、出力電圧 $V_2 = V_1 -$ (クロック振幅電圧 $V_p -$ 約 $0.6V$)を効率よく発生させることができる。

【0107】次に図22のタイミングチャートを用いて動作について説明する。なお説明を簡単にするためにダ

(13)

23

イオードD1、D2の順方向電圧を0Vとする。期間T_cにおいては、V_x=V_aであり、またD1が順方向バイアスとなっているためV_d=V₁となっている。従って、コンデンサC_pは、V₁-V_aの電圧で充電される。期間T_dになると、V_dのレベルは、C_pに引っ張られ、V_xの電圧降下分であるV_pだけ下がる。これにより、V₁→C_b→D2→C_p→V_xのルートで電流が流れ、C_bが充電される。以上の期間T_c、T_dでの動作を繰り返すことで、出力電圧V₂=V₁-V_pを得ることができる。

【0108】なお図23に示すように、図21の回路を2段重ねれば、V₃として、V₁-2×(V_p-約0.6V)の電圧を得ることができる。同様に3段重ねれば、V₁-3×(V_p-約0.6V)の電圧を得ることができる。

【0109】以上のように、本発明のチャージ・ポンプ回路としては、トランジスタ等を用いるもののみならず、ダイオードを用いるもの等、種々のものを採用できる。

【0110】〔実施例4〕実施例4は、チャージ・ポンプ回路の出力能力（電流供給能力）を大きくする手法に関する実施例である。基本的には、チャージ・ポンプ回路を形成するトランジスタのオン抵抗を低くし、コンデンサの容量値を大きくすれば出力能力を大きくできるが、他の手法による方が効率的な場合もある。その1つの手法として、複数のポンピング・コンデンサを用意し、この複数のポンピング・コンデンサによりバックアップ・コンデンサを交互に充電する手法が考えられる。その他の手法として、LPの周波数を2倍にする回路を追加し、LPの半周期毎にチャージ動作、ポンプ動作をさせるという手法も可能である。例えば図1における-V₃は、-V₃につながる回路部分で消費する電流と、-V₂につながる回路部分で消費する電流とにより、二重に電圧低下を起こす。従って、-V₃を供給するチャージ・ポンプ回路は、上記した種々の手法により出力能力を大きくしておくことが望ましい。

【0111】図24に、複数のポンピング・コンデンサC_{p1}、C_{p2}を設けて、出力能力を高める回路例を示す。ここでも図18と同様に、個別部品で回路を構成した場合の例を示す。

【0112】信号A、/A、B、/Bは、図4で説明したクロック形成回路により形成した信号であり、V_xは入力電圧である。Aがハイレベルである期間をT₁、Bがハイレベルである期間をT₂とする。T₁の期間はT_{rn1}、T_{rn2}、T_{rp3}、T_{rp4}はオフしており、T_{rp1}とT_{rp2}はオンしている。これによりC_{p1}が電圧V_xで充電される。またT_{rn3}とT_{rn4}もオンしているため、前回はC_{p2}に充電されていた電荷がC_bへ移る。次にT₂の期間では、T_{rp1}、T_{rp2}、T_{rn3}、T_{rn4}はオフしており、T_{rp3}と

24

T_{rp4}はオンしている。これによりC_{p2}が電圧V_xで充電される。またT_{rn1}とT_{rn2}もオンしているため、前回はC_{p1}に充電されていた電荷がC_bへ移る。このように2つのチャージ・ポンプコンデンサC_{p1}、C_{p2}で交互にC_bに電荷を供給してやることで、より出力電圧の平滑度が良く出力能力の大きいチャージ・ポンプ回路を実現できる。

【0113】なお図24のHに示す部分は、T_{rp2}、T_{rp4}、T_{rn2}、T_{rn4}のトランジスタのゲートを駆動するのに必要な電圧と位相を持った信号を、信号A、/Bから形成するためのレベルシフト手段である。C_{s1}とC_{s2}は容量が470pF程度のカップリング・コンデンサ、D1とD2はダイオード、I_{nv3}～6はインバータ、R_{f1}とR_{f2}は1KΩ程度の抵抗である。I_{nv3}とI_{nv4}とR_{f1}とで1つのホールド回路を形成しており、I_{nv5}とI_{nv6}とR_{f2}とで別のホールド回路を形成している。図24のような接続にし、I_{nv3}～6の正側電源端子をGNDに接続すれば、I_{nv3}～6の負側電源端子にはGNDよりもV_xだけ低い電圧が発生するので、信号Aや信号/Bと同振幅で同相/逆相の信号が、I_{nv3}～6の出力から得られる。I_{nv3}～6の電源端子間には0.1μF程度の平滑コンデンサC_xを入れておくことが好ましい。このレベルシフト手段は、図20(A)、図20(B)で説明したレベルシフト手段よりも、信号の振幅低下が小さいという利点がある。

【0114】さて本実施例では、出力能力を向上させるために、ポンピング・コンデンサを複数用意しているが、この手法は、表示品質の向上にも効果がある。例えばラッチパルスLPを用いる手法によると、図25(A)に示すように、ポンプ・コンデンサC_pの充電（チャージ動作）と、C_pによるバック・アップコンデンサC_bの充電（ポンプ動作）が、2水平走査期間（2H）毎に繰り返されることになる。このような構成のチャージ・ポンプ回路を、例えば図1の負方向2倍昇圧回路5に用いると、8ライン周期の横縞の表示ムラ（濃い4ライン+淡い4ライン）が生じる可能性がある。負方向2倍昇圧回路5は、-V₂、-V₃の両方で消費される電流を供給しており、また-V₂、-V₃は、V_H、V_Lに比べて消費される電流が大きいからである。そこで、負方向2倍昇圧回路5を、図24に示すような複数のポンピング・コンデンサを有する構成とすれば、上記のような表示ムラの発生を有効に防止できる。その理由は、このようにすれば、図25(B)に示すように、1水平期間毎にC_{p1}又はC_{p2}の充電、及び、C_{p2}によるC_bの充電又はC_{p1}によるC_bの充電が行われるからである。

【0115】なお上記のような表示ムラの発生を防止するためには、少なくとも、ポンピング・コンデンサの充電及びポンピング・コンデンサによるバックアップ・コ

(14)

25

ンデンサの充電を1水平期間毎に行えばよい。従って、例えばラッチパルスLPの2倍の周波数の信号を用いて、図25(C)に示すようにチャージ・ポンプ動作を行えば、上記表示ムラを防止できることになる。

【0116】〔実施例5〕実施例5は、チャージ・ポンプ回路の昇圧倍率、降圧倍率の変更に関する実施例である。図10、図12で説明した負方向6倍昇圧回路では、昇圧倍率は6倍に固定されていた。昇圧倍率を6倍にした理由は、デューティが1/240の液晶表示装置において、Vccが3Vまで低下した時に、VEEが負方向5倍昇圧電圧（つまり $VEE = -1.2V$ ）では不足であり、 $-1.3.5V$ 程度を必要とするためである。同じ液晶表示装置において必要となるVEEは、Vccが3.3Vの時は約 $-1.2V$ 、Vccが3.6Vの時は約 $-1.0.5V$ である。Vccの電圧によって必要となるVEEが異なる理由は次の通りである。即ち、本実施例では、X電極を駆動する電圧としてVccやその1/2降圧電圧をそのまま用いている。従って、Vccが高くなると非選択期間に液晶に加わる実効電圧が高くなり、その分、選択電圧を小さくする必要がある。逆にVccが低くなると、非選択期間に液晶に加わる実効電圧も低くなり、その分、選択電圧を大きくする必要があるからである。以上の理由から、図1の負方向6倍昇圧回路2の昇圧倍率は、Vccが3.3Vより高い時は6倍ではなく5倍で充分であり、むしろ、Vccが高い時は5倍に自動的に切り変わるようにした方が消費電力が小さくなり好ましい。また、1/200デューティの液晶表示装置においてはVccが3Vまで低下した時でも負方向5倍昇圧で充分である。このため、外部端子により、5倍から6倍への切り替え、6倍から5倍への切り替えができるようにしておくことが好ましい。

【0117】昇圧倍率、降圧倍率の変更は次のようにして実現できる。例えば前述の図10に示す回路で、昇圧倍率を変更可能にするには、図26のような構成にすればよい。即ち倍率変更回路20を設け、6倍昇圧の場合にはSWa2の接点Aを $-V3B$ に接続し、5倍昇圧の場合にはSWa2の接点AをGNDに接続すればよい。あるいは倍率変更回路22を設け、6倍昇圧の場合にはSWb2の接点Bを $-V3B$ に接続し、5倍昇圧の場合にはSWb2の接点BをGNDに接続してもよい。一方、前述の図12に示す回路で、昇圧倍率を変更可能にするには、図27のような構成にすればよい。即ち、倍率変更回路24を設け、負方向6倍昇圧の場合にはSWa2の接点Aを $-V3B$ に接続し、負方向5倍昇圧の場合にはSWa2の接点AをGNDに接続すればよい。

【0118】また3/2倍昇圧を2/3倍降圧に変更するには次のようにすればよい。即ち図14(A)、図14(B)に示す3/2倍昇圧回路では、Cbの+端子に出力端子が、一端にVccが接続されているが、これを図16(A)、図16(B)に示すように、Cbの+

26

端子をVccに、一端子を出力端子に接続するような切り替え手段を設ければよい。

【0119】このように本実施例によれば、K倍($K \geq 2$)昇圧又はL/M倍(但しL/Mは整数でない)降圧又はM/L倍昇圧のチャージ・ポンプ動作を行うチャージ・ポンプ回路と、このチャージ・ポンプ回路の昇圧倍率又は降圧倍率を変更する手段とが設けられる。これにより、例えば図1のコントラスト調整回路3等により無駄に消費される電流を低減でき、更なる低消費電力化が図れる。

【0120】なお図10、図12に示す負方向6倍昇圧回路では、 $-V3B$ を形成しており、この $-V3B$ は、Vccを基準にGNDを負方向に2倍に昇圧した電圧に相当する。一方、図1の負方向2倍昇圧回路5の出力電圧 $-V3$ も、Vccを基準にGNDを負方向に2倍に昇圧した電圧に相当する。従って、例えば図10、図12においてSWb1、SWa1、Cp1、Cp2から成る回路を設けずに、負方向2倍昇圧回路5の出力電圧 $-V3$ を図10、図12の $-V3B$ として共用することも可能である。あるいは逆に、負方向2倍昇圧回路5を設けずに、負方向6倍昇圧回路2の $-V3B$ を $-V3$ として共用することも可能である。但し、共用する場合には負荷電流による出力電圧の低下が大きくなるため、パネルサイズに応じて共用するか否かを使い分けることが好ましい。

【0121】〔実施例6〕実施例6は、入力電源電圧の投入後の所与の期間、チャージ・ポンプ回路による高電圧の供給を停止させる手段を設けた実施例である。

【0122】チャージ・ポンプ回路を用いて高電圧(図1の第1電位VH、第N電位VL)を発生する場合、入力電源電圧の投入後の所与の期間、高電圧の発生を停止しておかないと、システムが正常に立ち上がらない場合がある。その理由の1つは、高電圧が発生する前に、ドライバIC(データ線ドライバ、走査線ドライバ)のロジック部分が正常に動作していないと、ドライバIC内部の出力回路等がショート状態になる場合があるからである。このような事態を防止するには、例えば図1の負方向6倍昇圧回路2内に、図28(A)に示すように供給停止回路26を設ける。そして入力電源電圧の投入後の所与の期間、 $-V3Bin$ と $-V3Bout$ の間を遮断すればよい。図28(B)に、この供給停止回路26の具体的な構成の一例を示す。Vccが投入された後、C×Rの定数で決まる所与の期間、Trがオフし、 $-V3Bin$ と $-V3Bout$ の間が遮断される。更に、入力電源電圧をそのまま電源回路の出力電圧として使用する経路、即ち図1のVcc、V3間の経路及びGND、VC間の経路には、過電流防止用として10Ω程度の抵抗を挿入することが望ましい。

【0123】なお図1の構成では、負方向6倍昇圧回路2内に設けた供給停止回路26によりVL(第N電位)

(15)

27

の供給を停止すると、VH（第1電位）の供給も停止される。従って、2倍昇圧回路4内に供給停止回路を設ける必要がなくなる。一方、例えばGNDを基準にVccを6倍昇圧する回路を用いてVHを供給する場合には、この6倍昇圧回路内に供給停止回路を設ければよい。

【0124】〔実施例7〕図29に実施例7の電源回路のブロック図を示す。この電源回路は、図1に示す実施例1の電源回路の出力電圧をVcc-GNDだけ全体的に高電位側へずらせた電圧を発生する機能を持つ。図1の実施例1では、第1～第N電位は、低電位側の第2入力電位GNDに対して対称に形成されていたが、図29では、高電位側の第1入力電位Vccに対して対称に形成されている。

【0125】説明を簡単にするため、実施例1と異なる部分のみ主に説明する。負方向5倍昇圧回路32は、Vccを基準にGNDを負方向へ5倍昇圧した電圧VEEをチャージ・ポンプ動作により発生する。Vccが3.3Vの時、VEEは-13.2Vになる。2倍昇圧回路34は、VLを基準にVccを2倍昇圧した電圧VHを発生する。2倍昇圧回路35は、GNDを基準にVccを2倍昇圧した電圧V3を発生する。1/2倍降圧回路36、37は、V3-Vcc間を2等分した電圧であるV2、Vcc-GND間を2等分した電圧である-V2を発生する。以上で液晶パネルを駆動する電圧は形成できた。なお中央電位のVCにはVccをそのまま用い、-V3にはGNDをそのまま用いる。この電源回路は、出力される電圧のレベルが高電位側の入力電源電圧Vccに対して対称という特徴を備えている。こうした構成の電源回路によれば、実施例1で述べた理由と同じ理由により、4ライン同時選択法で駆動される液晶表示装置の低消費電力化が可能となる。

【0126】このように、液晶駆動に必要な出力電圧が中心電位を持ち、大部分の消費電流がその中心電位と他の電圧との間で流れる場合に、中心電位を第1、第2入力電位に一致させ、出力電圧をチャージ・ポンプ回路を主体とした回路で形成するという構成を用いることで、液晶表示装置の低消費電力化を図れる。こうした構成によれば、高電圧VH、VLでの消費電流が小さくなるため、これらの高電圧VH、VLを、出力能力の低いチャージ・ポンプ回路で容易に形成できる。そして、これらの高電圧を電力損失の小さいチャージ・ポンプ回路で形成することで、液晶表示装置の更なる低消費電力化を図れる。

【0127】なお、実施例7において、負方向5倍昇圧回路を正方向の昇圧回路に変更し、コントラスト調整回路でVHを形成した後にVHを負方向に2倍昇圧してVLを形成することも可能である。

【0128】〔実施例8〕図30に実施例8の電源回路のブロック図を示す。この電源回路は、実施例1の電源回路の出力電圧を1/2×(Vcc-GND)だけ全体

28

的に高電位側へずらせた電圧を発生する機能を持つ。実施例8では、第1～第N電位は、第1入力電位Vccと第2入力電位GNDの midpoint 電位を基準に対称に形成される。

【0129】1/2降圧回路46は、Vcc-GND間を2等分した電圧VCをチャージ・ポンプ動作により発生する回路であり、このVCが、第1～第N電位の中心電位となる。負方向5倍昇圧回路42は、Vccを基準にGNDを負方向へ5倍昇圧した電圧VEEを発生する。2倍昇圧回路44は、VLを基準にVCを2倍昇圧した電圧VHを発生する。負方向2倍昇圧回路45は、VCを基準にGNDを負方向へ2倍昇圧した電圧の-V3を発生する。2倍昇圧回路49は、VCを基準にVccを正方向へ2倍昇圧した電圧V3を発生する。以上で液晶パネルを駆動する電圧は形成できた。なおV2にはVccをそのまま用い、-V2にはGNDをそのまま用いる。この電源回路は、出力電圧が、第1入力電位と第2入力電位の midpoint 電位VCに対して対称という特徴を備えている。実施例8によれば、実施例1で述べた理由と同じ理由により、4ライン同時選択法で駆動される液晶表示装置の低消費電力化が可能となる。

【0130】なお、所望の電圧が5レベルの場合には、図30において2倍昇圧回路49と負方向2倍昇圧回路45を省略する構成としても良い。

【0131】〔実施例9〕図31に実施例9の電源回路のブロック図を示す。実施例9では、電源回路の出力電圧が、第1、第2入力電位Vcc、GNDの midpoint 電位に対して対称に形成される。また実施例9の電源回路は、2端子型非線形スイッチング素子を用いた液晶パネルを駆動する回路である。図51で説明した電源回路が、Yドライバに加える電源電圧を揺さぶる方式であるのに対し、実施例9の電源回路は揺さぶらない定常電圧を出力する。図32に、この電源回路を用いた時のパネル駆動波形の例を示す。

【0132】まず図32について先に説明する。VSHは正側の選択電圧であり、VSLは負側の選択電圧である。VNHはVSHを選択した後の非選択電圧であり、VNLはVSLを選択した後の非選択電圧である。各電圧にはVSH-VNH=VNL-VSLなる関係、言い替えるとVNHとVNLとの midpoint 電位がVSHとVSLとの midpoint 電位に等しいという関係がある。横軸tは時間軸であり、1目盛りが1選択期間の長さt1Hに相当する。列電極駆動波形は、階調手段がパルス幅階調である場合の例である。図32のように、列電極を駆動する電圧を行電極の非選択電圧と一致させることにより、電源回路の構成が著しく容易となる。

【0133】次に図31の回路について説明する。非選択電圧であり同時に列電極駆動電圧でもあるVNHとVNLには、ロジック駆動用電圧のVccとGNDをそのまま用いる。負方向5倍昇圧回路52は、Vccを基準

(16)

29

にGNDを負方向へ5倍昇圧した電圧VEEを発生する。Vccが5Vの時にはVEEは-20Vになる。昇圧回路60は、VNHを基準としてVNL-VSLと同じ電圧差を昇圧して、VSHを発生する。以上で液晶パネルを駆動する電圧は形成できた。この構成の電源回路は、出力電圧が、第1、第2入力電位の中点電位に対して対称という特徴を備えている。

【0134】上記構成の電源回路により2端子型非線形スイッチング素子を用いた液晶パネルを駆動すると、電源回路やYドライバの動作電圧が揺さぶり電源方式の場合に比べ2倍近くまで高くなるが、それにもかかわらず液晶表示装置の消費電力を低減できる。その理由の一つは、Yドライバに加わっている電圧が静的であるため、揺さぶり電源方式で起こった問題点が生じないためである。即ち、Yドライバの全寄生容量が揺さぶられる電圧幅で充放電するという問題点、及び、揺さぶられるタイミングにおいてYドライバ内でショートの電流が流れるという問題点が、本実施例では生じない。高電圧が2倍近い電圧になっても、1選択期間におけるYドライバの高電圧系の充放電電流やショートの電流は、数百本ある出力の内の1本だけで起こるため、高電圧化による電流増はごくわずかである。もう一つの理由は、電源回路自体の消費電力が極めて小さいためである。これは、出力電圧を、効率の高いチャージ・ポンプ式の昇圧回路で生成していることによる。本実施例によれば、揺さぶり電源方式の約半分の消費電力で、2端子型非線形スイッチング素子を用いた液晶パネルを駆動することが可能となった。

【0135】なお本実施例では、負方向5倍昇圧回路52を用いるとして説明してきた。しかしながら、低電圧液晶を使用する場合は、負方向5倍昇圧回路52を負方向4倍昇圧回路とすればよい。またVccを3.3Vに下げると共に、必要に応じて負方向5倍昇圧回路52を負方向6倍昇圧回路としてもよい。また本実施例では、階調表示手段がパルス幅変調法によるとして説明したが、フレーム間引き法を用いても構わない。

【0136】また、所望の電圧が5レベルの場合には、図31においてVCC-GNDの間へ1/2倍降圧回路を追加して中央電位を発生してもよい。

【0137】【実施例10】図33に実施例10の電源回路のブロック図を示す。実施例10では、実施例9と異なり、第1、第2入力電位Vcc、GNDと異なる電位であるVNLを発生する。そして電源回路の出力電圧が、このVNLと、Vcc又はGNDとの中点電位に対して対称に形成される。

【0138】実施例10では、非選択電圧であり列電極駆動電圧でもあるVNHには、ロジック駆動用電圧のVccをそのまま用いる。負方向3/2倍昇圧回路61は、Vccを基準にGNDを負方向へ3/2倍昇圧した電圧VNLを発生する。負方向3/2倍昇圧回路61の

30

構成例は、既に図15(A)、図15(B)にて説明した通りである。負方向5倍昇圧回路62は、Vccを基準にVNLを負方向へ5倍昇圧した電圧VEEを発生する。Vccが3.3Vの場合は、Vcc-VNLが4.95V、VNL-VEEが19.8Vとなり、実施例9においてVccが5Vの場合とほぼ等しい出力電圧が得られる。昇圧回路70は、VNHを基準としてVNL-VSLと同じ電圧差を正方向に昇圧して、VSHを発生する。以上で液晶パネルを駆動する電圧は形成できた。この電源回路は、第1、第2入力電位と異なる電位VNLをチャージ・ポンプ回路で発生し、出力電圧が、VccとVNLの中点電位に対して対称という特徴を備えている。以上の構成の実施例10によれば、ロジック電圧を低電圧にできるため、2端子型非線形スイッチング素子を用いた液晶パネルを、実施例9よりも更に低消費電力で駆動できる。

【0139】【実施例11】図34に実施例11の電源回路のブロック図を示す。図1に示す実施例1と異なるのは、実施例11では、入力電源電圧が第3入力電位Veeを含む点である。即ち、実施例1では単一電源構成(Vcc、GND)であったのに対して、実施例11では2電源構成(Vee、Vcc、GND)となっている。

【0140】負方向2倍昇圧回路72は、第3入力電位Veeを基準にGNDを負方向に2倍昇圧した電圧VLをチャージ・ポンプ動作により発生する。負方向2倍昇圧回路73は、第1入力電位Vccを基準にGNDを負方向に2倍昇圧した電圧-V3を発生する。1/2降圧回路74、75は、Vcc-GND間を2等分した電圧V2、GND-(-V3)間を2等分した電圧-V2を発生する。またV3にはVccをそのまま用い、VCにはGNDをそのまま用いる。以上の構成の電源回路により例えば4ライン同時選択法で必要な電圧を形成できる。なおチャージ・ポンプ方式の1/2降圧回路の構成については、既に図9にて説明した通りである。

【0141】図35に、1/2降圧回路74、75の代わりに、1/3降圧回路76、77を設けた場合のブロック図を示す。1/3降圧回路76、77は、各々、Vcc-GND間を1/3ずつ分割した電圧V1、V2、GND-(-V3)間を1/3ずつ分割した電圧-V1、-V2を発生する。この電源回路により、例えば6ライン同時選択法で必要な電圧を形成できる。

【0142】なお本実施例では、理解しやすいようにGNDに対してVeeとVccがともに正電位の場合を述べてきたが、VeeとVccがともに正電位である必要はなく、図36に示すように、VeeとVccの一方あるいは両方がGNDに対して負電位であってもよい。

【0143】以上に説明した本実施例は、次のような構成上の特徴を有している。

【0144】即ち本実施例では、入力電源電圧に含まれ

(17)

31

る高電位側の第1入力電位 V_{cc} 、低電位側の第2入力電位 GND を、第1～第 N 電位 ($N \geq 4$) の中の第 G 電位 V_3 、第 J 電位 V_C としてそのまま用いている。また第1、第2入力電位よりも高電位側又は低電位側の第3入力電位 V_{ee} を、高電位側の第1電位 V_H と低電位側の第 N 電位 V_L のいずれかとして用いている。また所与のクロックに基づきチャージ・ポンプ動作を行い、第1、第 N 電位 V_H 、 V_L のいずれかを直接に又は調整手段を介して供給するチャージ・ポンプ回路(負方向2倍昇圧回路72)と、第 G 、第 J 電位よりも高電位側又は低電位側の第 F 電位 ($1 < F < N$) を直接に又は調整手段を介して供給するチャージ・ポンプ回路(負方向2倍昇圧回路73)とを含んでいる。そして更に、第1～第 N 電位の中の前記第1、第 F 、第 G 、第 J 、第 N 電位以外の電位を、所与のクロックに基づきチャージ・ポンプ動作するチャージ・ポンプ回路(1/2降圧回路74、75、1/3降圧回路76、77)により供給している。以上の構成によれば、出力能力をそれほど必要としない第1電位 V_H 又は第 N 電位 V_L は、出力能力は低いが高効率のチャージ・ポンプ回路で供給されると共に、第 G 電位 V_3 、第 J 電位 V_C は出力能力の高い入力電源電圧 V_{cc} 、 GND に接続される。更に V_2 、 $-V_2$ 等の電圧はチャージ・ポンプ回路で供給される。これにより表示品質の維持と低消費電力化とを両立できる。なお本実施例の構成は、実施例1の(3)で説明した構成上の特徴、即ち K 倍昇圧、及び L/M 倍降圧等のチャージ・ポンプ回路が混在するという構成上の特徴も有している。

【0145】次に本実施例の消費電力について説明する。電源回路より後段にある負荷回路の V_3-V_C 系の消費電流を I_c 、 $-V_3-V_C$ 系の消費電流を I_d とすれば、本実施例によれば、 I_c による消費電力は $I_c \times V_{cc}$ となる。また、負方向2倍昇圧回路73を効率の良い昇圧回路とすることで、 I_d による消費電力はほぼ $I_d \times V_{cc}$ となる。これに対し、図49の電源回路では、 I_c による消費電力は $I_c \times V_{EE}$ であり、 I_d による消費電力は $I_d \times V_{EE}$ となる。仮に $V_{cc} = 5V$ 、 $V_{EE} = 20V$ とすると、図49の電源回路の消費電力は $(I_c + I_d) \times 20V$ となり、本実施例の消費電力は $(I_c + I_d) \times 5V$ となる。従って、消費電力を約1/4に低減できることになる。

【0146】また以上は中間電圧にのみ注目して述べてきたが、 V_H や V_L での消費電力についても同様のことが言える。すなわち電源回路より後段にある負荷回路の V_H-V_C 系の消費電流を I_a 、 V_L-V_C 系の消費電流を I_b とすれば、 I_a と I_b による消費電力は図49の電源回路では $(I_a + I_b) \times 20V$ となる。これに対して、本実施例では、負方向2倍昇圧回路72を効率の良い昇圧回路とすることにより、消費電力はほぼ $(I_a + I_b) \times 10V$ となり、約半減できる。以上の説明

32

からわかるように、本実施例は、負荷回路が中心電圧を必要とし、大部分の消費電流がその中心電圧と他の電圧との間で流れる場合に、大幅な低消費電力化が可能となる。

【0147】なお実施例11では、実施例1と同様に、パルス状のクロックである LP によりクロックを生成してチャージ・ポンプ動作を行うことができる。また実施例11でも、実施例2で説明したような種々の構成のチャージ・ポンプ回路を採用できる。また実施例3～実施例6で説明したような種々の手法を採用して低消費電力化を図ることもできる。更に図34、図35では、出力電圧は、 GND に対して対称となっているが、 V_{cc} に対して対称、 V_{cc} と GND の中間電圧に対して対称、所与の発生電圧と V_{cc} 又は GND との中間電圧に対して対称に出力電圧を形成することも可能である。また図34では、7レベルの電圧を得るために1/2降圧回路74、75を設けたが、所望の電圧が5レベルの場合には、1/2降圧回路74、75を省略すればよい。更に1/2降圧、1/3降圧等をオペアンプを用いて行う場合には、図2に示すような構成とすればよい。

【0148】〔実施例12〕実施例12は、入力電源電圧の供給停止、所与のクロックの供給停止あるいは表示オフ制御信号の入力の少なくとも1つがなされた場合に、第1、第 N 電位の少なくとも一方により電圧が供給される回路部分の残留電荷を放電させる実施例である。

【0149】図37に、入力電源電圧の供給停止あるいはクロックの供給停止が行われた場合に、 V_H 、 V_L 系の残留電荷を放電させる回路例を示す。図37において信号 A と A は互いに逆相のクロック信号である。また $Trp8$ と $Trp9$ はPMOSトランジスタであり、クロックが供給されている間は、トランジスタの一方がオン他方がオフするという動作を繰り返している。 $Trp8$ がオンすると、コンデンサ $Cc1$ が電圧 V_{cc} で充電され、 $Trp9$ がオンすると $Cc1$ の電荷が $Cc2$ に移る。 $Cc2$ と抵抗 Rc による時定数をクロック信号の周期よりも充分に大きく設定すれば、バッファ $Bu f$ の入力は、電圧 V_{cc} にほぼ近いレベルとなる。クロックが停止すればどちらか一方のトランジスタが必ずオフとなるため、 $Bu f$ の入力は、 Rc により GND レベルとなり、 $Bu f$ の出力も GND レベルとなる。電圧 V_{cc} の供給が停止した場合にも $Bu f$ の入力及び出力は GND レベルとなる。

【0150】 $Trn5$ 、 $Trn6$ はNMOSトランジスタ、 $Trp5$ 、 $Trp6$ 、 $Trp7$ はPMOSトランジスタである。 $Ra1$ 、 $Ra2$ 、 $Rb1$ は数 $M\Omega$ 程度の抵抗であり、各々、 $Trn5$ や $Trp5$ のオン時の抵抗よりも大きな抵抗値に設定されている。従って、これらのトランジスタがオンしている時でもこれらの抵抗を通して流れる消費電流は小さい。電圧 V_{cc} が供給され、クロックが供給されている時は $Bu f$ の出力が V_{cc} レベ

(18)

33

ルであるためTrn5がオンする。Trn5がオンすると、Trp7のゲートはロウ側となってTrp7がオンし、VHには電圧Veeが供給される。またTrn6のゲートがGNDレベルになってTrn6はオフする。電圧-V3は、電圧Vccの反転出力であり（図1、図34参照）、電圧Vccが供給されてクロックが動作している時はほぼ-Vccのレベルとなっている。これにより、Trp5がオンしTrp6はオフする。

【0151】電圧Vccの供給が停止するかクロックの供給が停止すると、Bufの出力及び電圧-V3はGNDレベルとなり、Trn5もTrp5もオフする。Trn5がオフすると、Trp7のゲートはVeeレベルとなり、Trp7がオフし、VeeからVHへの供給が遮断される。またTrn6のゲートもVeeレベルとなってオンし、VH系に残存していた電荷が10KΩ程度の抵抗Ra3を通してGNDに放電される。またTrp5がオフすると、Trp6のゲートがロウ側となってTrp6がオンし、VL系に残存していた電荷が10KΩ程度の抵抗Rb2を通してGNDに放電される。

【0152】以上のように、本実施例によれば、電圧Vccまたはクロックの供給が停止した場合に、電圧Veeの供給を遮断するとともに、電圧VH、VLにより電圧が供給される回路部分の残留電荷を放電させることを、消費電力をほとんど増加させることなく実現できる。これにより、上記回路部分に、直流の高電圧が印加され続けるという異常事態を防止できる。

【0153】図38に、表示オン／オフ信号によりVH、VL系の電荷を放出させる回路例を示す。図37との主な相違は、Trn5のゲートに信号Donを入力している点である。信号Donは液晶表示装置の表示オン／オフを制御する信号で、表示オン時はハイレベル（Vcc）、表示オフ時はロウレベル（GND）となる信号である。Donがハイレベルの時はTrn5がオンし、これによりTrp7のゲートがロウ側となりTrp7がオンする。これにより、VHに電圧Veeが供給される。

【0154】一方、Donがロウレベルの時はTrn5がオフし、これによりTrp7のゲートがVeeと同レベルとなりTrp7がオフする。これにより、VHへの電圧Veeの供給が遮断される。同時にTrn6のゲートもVeeと同レベルとなりTrn6がオンする。これによりVH系に残留している電荷が放電する。

【0155】以上のように表示オン／オフ制御信号を本実施例の電源回路に入力することにより、消費電流を増加させることなく液晶表示装置の表示オン／オフを容易に制御できる。なお、上記のように直接Trn5のゲートに信号Donを入力する方法ではなく、Donがロウの時にクロックを停止する回路を追加する方法によって、VH系の残留電荷を放電させ、液晶表示装置を表示オフ状態にしてもよい。また図4に示すようにDFのリ

34

セット端子を制御してクロックを停止し、チャージ・ポンプ回路の動作を停止させることで液晶表示装置を表示オフ状態にしてもよい。

【0156】図39（A）、図39（B）に、入力電源がオフした場合に、VH、VL系の電荷を放電させる回路例を示す。例えば図39（A）において入力電源がオフしVcc=GNDとなると、Trn10がオフしTrn11のゲートがハイ側になる。これによりTrn11がオンし、VH系の電荷がGNDに放電される。また図39（B）では、Vcc=GNDになると、Trp10がオフしTrp11のゲートがロウ側となる。これによりTrp11がオンし、VL系の電荷がVccに放電される。

【0157】図40（A）、図40（B）に、入力電源がオフした場合及び表示オフ信号が入力された場合に、VH、VL系の電荷を放電させる回路例を示す。Doffは表示オフの時にハイレベル（=Vcc）になる信号である。Doffがハイレベルになるとその反転信号である/Doffはローレベル（=GND）となり、これによりTrn10がオフしTrn11のゲートがハイ側になる。これによりTrn11がオンし、VH系の電荷がGNDに放電される。また図40（B）では、Doffがハイレベルになると、Trp10がオフしTrp11のゲートがロウ側となる。これによりTrp11がオンし、VL系の電荷がVccに放電される。

【0158】〔実施例13〕図41に、実施例1～実施例12で説明した電源回路を含む液晶表示装置の構成例を示す。この液晶表示装置は、複数のデータ線電極と複数の走査線電極により駆動される液晶層を含む液晶パネル88と、電源回路91と、電源回路91により供給される電圧に基づいてデータ線電極を駆動するXドライバIC（データ線ドライバ）90と、電源回路により供給される電圧に基づいて走査線電極を駆動するYドライバIC（走査線ドライバ）89とを含む。

【0159】VCC-GNDはドライバICのロジック部駆動用電源入力であり、VEE-GNDは選択電圧を形成するための高電圧電源入力である。電源回路が図1のような構成の場合にはVEEは必要ない。LPはXドライバIC用のラッチパルスであり、通常は、シフト・レジスタを含むYドライバIC用のシフトクロックにも兼用される。その他のタイミング信号やデータ信号は図を見やすくするために記載を省略してある。

【0160】図42に、図41の回路で液晶パネルを駆動した時の駆動電圧波形の例を示す。この駆動波形は特公昭57-57718の請求項1に記載された駆動方法において、V111=V122と設定した場合に駆動波形に相当する。ここに、VHとVLは選択される走査線電極に加える電圧であり、VC（VM）は非選択の走査線電極に加える電圧である。また、Vx0とVx1は表示データのオン／オフに従ってX電極に加える電圧であ

(19)

35

る。Mは液晶を交流駆動するための制御信号で、信号Mのハイ/ロウにより液晶パネルに加える電圧の極性が反転される。t1Hは1本の走査線電極が選択される時間の長さを示している。

【0161】この駆動方法に必要な電圧は、実施例1～実施例12で説明した電源回路により形成できる。例えば、非選択レベルのVC、選択レベルのVH及びVLには、電源回路91の出力VC、VH、VLを用いる。またX電極を駆動する電圧のVx0にはV2を用い、Vx1には-V2を用いればよい。例えばデューティが1/240の場合にはVHは通常20V程度であり、V2はロジック電圧3.3Vの約1/2の1.6V程度である。従ってV2には、ロジック電圧を1/2に降圧した電圧を利用することもできる。

【0162】XドライバIC90のロジック電圧はVCC-GNDをそのまま用いればよい。YドライバIC89のロジック電圧としては、TFTパネル用のゲート線ドライバICのようにドライバ出力電圧の中間でよい場合は、VCC-GNDをそのまま用いればよい。しかしながら、例えばSTNパネル用の通常のドライバICのように、ロジック電圧の低レベルがVLに一致している場合には、YドライバIC89用のロジック電圧VDDを別に形成する必要がある。図43はこの場合に用いるYドライバ用ロジック電圧発生回路の例であって、図24のHに示す部分と基本的に同様の動作をする。すなわちBは、図5に示した信号であり、VCC-GNDを電源として駆動される信号である。またCs1とCs2は容量が470pF程度のカップリング・コンデンサ、D1とD2はダイオード、Buf1とBuf2はバッファ、Rf1とRf2は1KΩ程度の抵抗である。Buf1とRf1で1つのホールド回路を形成しており、Buf2とRf2で別のホールド回路を形成している。図37のような接続にして、バッファの負側電源端子をVLに接続すれば、バッファの正側電源端子にはVLよりもVCCだけ高い電圧VDDyが発生する。従って、このVDDyをYドライバIC89用のロジック用電源とすればよい。YドライバIC89の動作周波数はXドライバIC90の1/80程度であり、YドライバIC89のロジック部の消費電流は極めて小さい。従って、上記のような簡易な手法で形成した電源電圧で充分に駆動が可能である。また、図43の回路は、信号LPをレベルシフトしてYドライバ用シフトクロックYSC Lを形成する機能も有している。なお、バッファの電源端子間には0.1μF程度の平滑コンデンサCxを入れておくことが好ましい。

【0163】以上はVCCが3.3Vとして説明した。しかしながら、VCCが5Vの場合は、オペアンプ等を用いてVCCをより低い電圧に変換し、電源回路91やYドライバIC89、XドライバIC90の駆動を行った方が、低消費電力化のためには好ましい。また、VCC

36

Cが1.5V程度の場合にはこのVCCをそのままVx0として用い、VCCの反転昇圧電圧(負方向2倍昇圧電圧)をVx1として用いればよい。

【0164】以上の構成の液晶表示装置では、その電源回路自体が低消費電力である。更に、パネル電流の大部分を占める充放電電流、即ちX電極と非選択状態のY電極との間で流れる充放電電流が、高電圧系から供給されるのではなく、より低いロジック部駆動電圧系から供給される。従って、パネル電流による消費電力も大幅に低減され、全体として消費電力を著しく小さくできる。

【0165】〔実施例14〕図44(A)に液晶表示装置の他の構成例を示す。基本的には実施例13と同様の構成であるため、実施例13と異なる部分についてのみ説明する。本実施例はY電極を2ライン同時選択法で駆動する場合の例である。

【0166】この駆動方法の場合に液晶パネルに加えることが必要な電圧を図44(B)に示す。Y電極の駆動には、実施例13と同様に、非選択レベルであるVC(VM)と選択レベルであるVHおよびVLが必要である。ここでVHとVLとはVCを中心として互いに対称な関係にある。X電極の駆動には、Vx0～Vx2の3レベルの電圧が必要である。Vx1はVCと同電位であり、Vx0とVx2とはVx1を中心として互いに対称な関係にある。例えば1フレーム周期内に走査するY電極の数が240本程度で、かつ、Vth(スレッシュホールド電圧)が実効値で2V程度の通常液晶を使用する場合は、VCを0VとするとVHは約16V、Vx0は約2Vとなる。つまり実施例13と異なる点は、X電極の駆動電圧として中心電位が追加される点と、VHが若干下がりVx0が若干上がる点だけである。本実施例の電源回路はこうした対称な関係にある電圧を低消費電力で発生するのに適している。

【0167】VCCが3.3Vの場合には、Vthが実効値で1.6V程度の低電圧液晶を使用すればよい。またVCCが1.5V程度の場合には、やはり低電圧液晶を使用し、このVCCをそのままVx0として用いればよい。

【0168】本実施例の液晶表示装置は、電源回路自体が低消費電力であるとともに、実施例13で述べた理由と同じ理由でパネル電流による消費電力も大幅に低減される。また駆動に必要な最大電圧も実施例13より低くて済み、更なる低消費電力化を図れる。また図49の比較例では、Xドライバのロジック部等での消費電流をIXDとすると、これによる消費電力はIXD×VEEであった。これに対して本実施例では、消費電力はIXD×VCCで済み、比較例に比べ大幅な低消費電力化を図れる。

【0169】〔実施例15〕図45(A)に液晶表示装置の他の構成例を示す。本実施例はY電極を4ライン同時選択法で駆動する場合の例である。

(20)

37

【0170】この駆動方法の場合に液晶パネルに加えることが必要な電圧を図45 (B) に示す。Y電極の駆動には非選択レベルであるVCと選択レベルであるVHおよびVLが必要で、VHとVLとはVCを中心として互いに対称な関係にある。X電極の駆動には、 $V_{x0} \sim V_{x4}$ の5レベルの電圧が必要で、 V_{x2} はVCと同電位である。 V_{x0} と V_{x4} および V_{x1} と V_{x3} は V_{x2} を中心として互いに対称な関係にあり、 $V_{x0} - V_{x1} = V_{x1} - V_{x2} = V_{x2} - V_{x3} = V_{x3} - V_{x4}$ を満足する。例えば1フレーム周期内に走査するY電極の数が240本程度で、かつ、 V_{th} が実効値で2V程度の通常液晶を使用する場合は、VCの電圧を0VとするとVHは約11.3V、 V_{x0} は約2.9Vとなる。つまり実施例14と異なる点は、X電極の駆動電圧として中心電位に対して互いに対称な2レベルの電圧が追加される点と、VHが若干下がり V_{x0} が若干上がる点だけである。

【0171】特に、VCCが3.3Vの場合はVCCと V_{x0} が比較的近いレベルであるため、図45 (A) に示すようにVCCをそのまま V_{x0} としても用いることが可能である。この場合は V_{th} がやや高い液晶を使うか、VEEをやや低く設定するかすれば、コントラスト調整も容易にできる。

【0172】〔実施例16〕図46 (A) に液晶表示装置の他の構成例を示す。本実施例はY電極を6ライン同時選択法で駆動する場合の例である。

【0173】この駆動方法の場合に液晶パネルに加えることが必要な電圧を図46 (B) に示す。Y電極の駆動には、非選択レベルであるVCと選択レベルであるVHおよびVLが必要で、VHとVLとはVCを中心として互いに対称な関係にある。X電極の駆動には、 $V_{x0} \sim V_{x6}$ の7レベルの電圧が必要で、 V_{x3} はVCと同電位であり、かつ、 $V_{x0} \sim V_{x6}$ は $V_{x0} - V_{x1} = V_{x1} - V_{x2} = V_{x2} - V_{x3} = V_{x3} - V_{x4} = V_{x4} - V_{x5} = V_{x5} - V_{x6}$ を満足する。例えば1フレーム周期内に走査するY電極の数が240本程度で、かつ、 V_{th} が実効値で2V程度の通常液晶を使用する場合は、VCの電圧を0VとするとVHは約9.2V、 V_{x0} は約3.6Vである。つまり、実施例15と異なる点はX電極の駆動電圧として中心電位に対して互いに対称な2レベルの電圧が追加される点と、VHが若干下がり V_{x0} が若干上がる点だけである。

【0174】特にVCCが3.3Vの場合は、VCCと V_{x0} が比較的近いレベルであるため、図46 (A) に示すようにVCCをそのまま V_{x0} としても用いることが可能である。この場合は V_{th} がやや低い液晶を使うか、VEEをやや高く設定するかすれば、コントラスト調整も容易にできる。

【0175】以下に同時に選択するY電極の数がどの程度までが実用的かを述べる。例えば1フレーム周期内に

38

走査するY電極の数が240本程度の場合は同時選択するライン数が15本～16本の時に、Y電極の駆動に必要な最大電圧幅と、X電極の駆動に必要な最大電圧幅とが等しくなる。 V_{th} が実効値で2V程度の通常液晶を使用する場合には、この電圧は6V弱となる。つまり、同時選択ライン数が16本以下の範囲では同時に選択するY電極の数が多き駆動方法ほど必要となる最大電圧が低くて済み、その点では消費電力の低減に有利であることになる。但し、逆に、駆動に必要な電圧のレベル数が増加して電源回路が複雑化するとともに、XドライバICもコスト高になるので、同時選択するライン数は8本以下が実用的であると言える。

【0176】以上述べた実施例13～実施例16では、例えば図46 (A) に示すように、第1、第2入力電位VCC、GNDを、V3、V2、V1、VC、-V1、-V2、-V3 (第1～第N電位) のいずれかとして使用すると共に、ドライバICのロジック部の電源電圧としても使用している。電源回路91で使用する入力電源電圧 (VEE、VCC、GND又はVCC、GND) の他に、ドライバICのロジック部を駆動するための別の電源電圧を用意する方が、液晶パネルを最適電圧で駆動する点では好ましい。しかしながら入力電源電圧の数が増えることは、液晶表示装置の使用者にとっては好ましくない。実施例13～実施例16で説明したように、VCC、GNDをV3、V2～-V2、-V3のいずれかとして使用すると共に、ドライバICのロジック部の電源電圧として使用しても、若干最適電圧からずれた電圧による駆動となるが、実用的には問題無い画質の表示が可能である。従って、実施例13～実施例16のようにして、入力電源電圧の数の増加を抑える方が、より実用的となる。

【0177】なお、V3、V2～-V2、-V3の中にVCC、GNDに一致するものがない場合には、図33で説明したように、チャージ・ポンプ動作によりVC、GNDと異なる電圧を発生し、この発生電圧をV3、V2～-V2、-V3のいずれかとして用いればよい。

【0178】また図41等にも示すように、実施例13～実施例16では、電源回路91に入力するパルス状クロックとして、Xドライバ用ラッチパルス信号LP又はYドライバ用シフトクロックYSC Lを使用している。電源回路91のクロックを形成する信号は、周期的なパルス状クロックであることが好ましい理由は、実施例2において既に述べた通りである。通常、Xドライバ用ラッチパルス信号は周期が $30\mu s \sim 100\mu s$ 程度、パルス幅が $100ns \sim 300ns$ 程度の周期的なパルス状クロック信号であるため、電源回路91のパルス状クロックとして問題無く利用できる。Yドライバ用シフトクロックがXドライバ用ラッチパルスとは別に入力される液晶表示装置もあるが、この場合のYドライバ用シフト

(21)

39

クロックもXドライバ用ラッチパルスと同様の周期的なパルス状クロック信号であるため、こちらのクロックを用いても問題無い。液晶表示装置に入力されるタイミング信号の中では、これらの信号が最も適切である。液晶表示装置の消費電流の大部分が1水平走査期間の切りかわりごとに流れる電流であるため、その電流を供給するチャージ・ポンプ回路を、1水平走査期間毎のパルス状クロックであるXドライバ用ラッチパルスやYドライバ用シフトクロックに同期して動作させることは、理にかなっている。これより周期が長いクロック信号では昇圧能力不足となる。一方、これより周期が短いパルス状クロック信号は、昇圧能力を確保する上では好ましいが、こうした信号は液晶表示装置には入力されていないため別途作り出すことが必要となり、これは回路の大規模化につながる。

【0179】〔実施例17〕図47に、本発明の液晶表示装置を電子機器に搭載した例を示す。 μ PU（マイクロ・プロセッサ・ユニット）112は、電子機器全体を制御するものであり、LCDコントローラ113は、液晶表示装置115に必要なタイミング信号や表示データを送り出すものである。またメモリ（VRAM）114は、表示データを格納するものであり、電池116は、電子機器の電源である。DC/DCコンバータ117は、電池116の電圧から液晶表示装置115に必要な高電圧を発生するものである。DC/DCコンバータ117は液晶表示装置に内蔵させてもよく、内蔵させる場合は本発明のようにチャージ・ポンプ方式のDC-DCコンバータを用いることが望ましい。このような電子機器に、本発明の液晶表示装置を用いることによって、電子機器の消費電力を大幅に低減できる。

【0180】なお、本発明は上記実施例1～実施例17に限定されるものではなく、本発明の要旨の範囲内で種々の変形実施が可能である。

【0181】例えばパルス状クロックを使用する手法、昇圧倍率を変更する手法、チャージ・ポンプを1水平期間毎に行う手法等は、図1、図34等に応示構成の電源回路に限らず、少なくとも第1～第N電位を供給するチャージ・ポンプ回路を含む電源回路であれば、種々ものに適用できる。

【0182】またチャージ・ポンプ回路の構成も図6～図24に示したものに限られるものではない。

【0183】また上記実施例では、ラッチパルスLPを使用したチャージ・ポンプ回路を例にとり説明したが、LPを用いない場合にはディレイ回路等を用いてノンオーバーラップのクロックを生成すればよい。

【図面の簡単な説明】

【図1】実施例1に係る電源回路のブロック図である。

【図2】V2、-V2の生成にオペアンプを用いた場合のブロック図である。

【図3】コントラスト調整回路の一例を示す回路図であ

40

る。

【図4】クロック形成回路の一例を示す回路図である。

【図5】クロック形成回路の動作を説明するためのタイミングチャートである。

【図6】チャージ・ポンプ回路の基本概念図である。

【図7】2倍昇圧用チャージ・ポンプ回路の概念図である。

【図8】負方向2倍昇圧用チャージ・ポンプ回路の概念図である。

10 【図9】1/2降圧用チャージ・ポンプ回路の概念図である。

【図10】負方向6倍昇圧用チャージ・ポンプ回路の概念図である。

【図11】図11(A)、図11(B)は、図10の回路の動作を説明するための図である。

【図12】負方向6倍昇圧用チャージ・ポンプ回路の他の例の概念図である。

【図13】図13(A)、図13(B)は、図12の回路の動作を説明するための図である。

20 【図14】図14(A)、図14(B)は、3/2倍昇圧用チャージ・ポンプ回路の概念図である。

【図15】図15(A)、図15(B)は、負方向3/2倍昇圧用チャージ・ポンプ回路の概念図である。

【図16】図16(A)、図16(B)は、2/3倍降圧用チャージ・ポンプ回路の概念図である。

【図17】図17(A)、図17(B)は、負方向2/3倍降圧用チャージ・ポンプ回路の概念図である。

【図18】負方向2倍昇圧回路の具体例を示す回路図である。

30 【図19】図18の回路の動作を説明するための図である。

【図20】図20(A)、図20(B)は、レベルシフト手段の一例を示す回路図である。

【図21】ダイオードを用いたチャージ・ポンプ回路の一例を示す回路図である。

【図22】図21の回路の動作を説明するための図である。

【図23】図21の回路の応用例を示す回路図である。

40 【図24】ポンピング・コンデンサを2つ設けたチャージ・ポンプ回路の例を示す回路図である。

【図25】図25(A)、図25(B)、図25(C)は、水平走査期間毎にチャージ・ポンプ動作を行う手法について説明するための図である。

【図26】昇圧、降圧の倍率変更部を設けたチャージ・ポンプ回路の例を示す回路図である。

【図27】昇圧、降圧の倍率変更部を設けたチャージ・ポンプ回路の他の例を示す回路図である。

【図28】図28(A)、図28(B)は、電源投入後の所与の期間、高電圧の供給を停止させる例を示す回路図である。

50

(22)

41

【図29】実施例7に係る電源回路のブロック図である。

【図30】実施例8に係る電源回路のブロック図である。

【図31】実施例9に係る電源回路のブロック図である。

【図32】パネル駆動波形の例を示す図である。

【図33】実施例10に係る電源回路のブロック図である。

【図34】実施例11に係る電源回路のブロック図である。

【図35】実施例11に係る電源回路の他の例を示すブロック図である。

【図36】入力電源電圧の電位関係を説明するための図である。

【図37】VH、VL系の残留電荷を放電させる例を示す回路図である。

【図38】VH、VL系の残留電荷を放電させる他の例を示す回路図である。

【図39】図39(A)、図39(B)は、VH、VL系の残留電荷を放電させる他の例を示す回路図である。

【図40】図40(A)、図40(B)は、VH、VL系の残留電荷を放電させる他の例を示す回路図である。

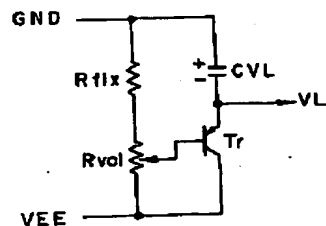
【図41】実施例13に係る液晶表示装置の一例を示すブロック図である。

【図42】図41の液晶表示装置の駆動波形を説明するための図である。

【図43】レベルシフト手段の一例を示す回路図である。

【図44】図44(A)は、実施例14に係る液晶表示装置の一例を示すブロック図であり、図44(B)は、駆動電圧の電位関係を説明するための図である。

【図3】



42

【図45】図45(A)は、実施例15に係る液晶表示装置の一例を示すブロック図であり、図45(B)は、駆動電圧の電位関係を説明するための図である。

【図46】図46(A)は、実施例16に係る液晶表示装置の一例を示すブロック図であり、図46(B)は、駆動電圧の電位関係を説明するための図である。

【図47】実施例17に係る電子機器の一例を示すブロック図である。

【図48】第1の背景例の電源回路の一例を示す回路図である。

【図49】第2の背景例の電源回路の一例を示す回路図である。

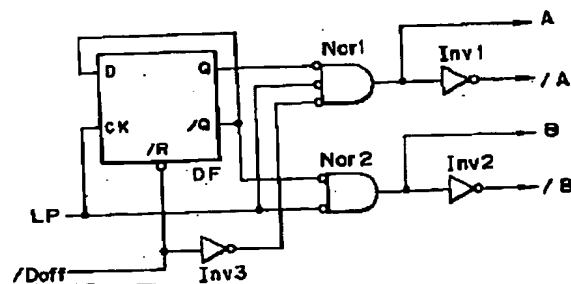
【図50】第3の背景例の電源回路を説明するためのパネル駆動波形の一例を示す図である。

【図51】第3の背景例の電源回路の一例を示す回路図である。

【符号の説明】

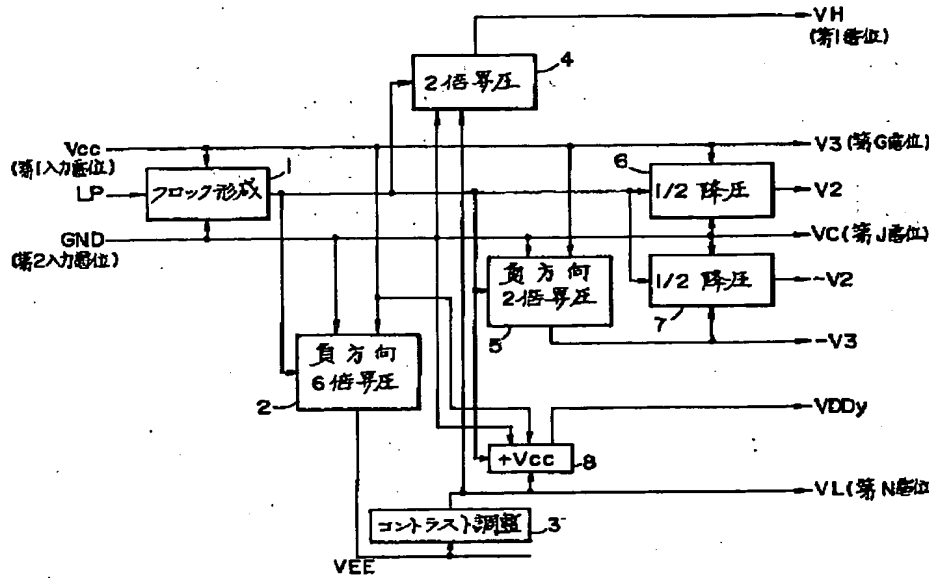
LP	ラッチパルス
Vcc	第1入力電位
GND	第2入力電位
VH	第1電位
V3	第G電位
VC	第J電位
VL	第N電位
1	クロック形成回路
2	負方向6倍昇圧回路
3	コントラスト調整回路
4	2倍昇圧回路
5	負方向2倍昇圧回路
6	1/2降圧回路
7	1/2降圧回路

【図4】

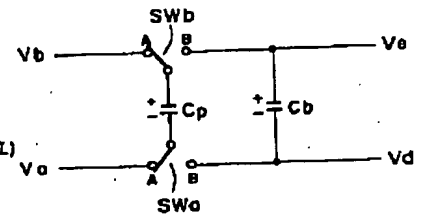


(23)

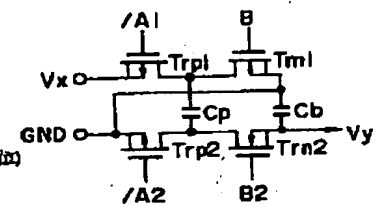
【図1】



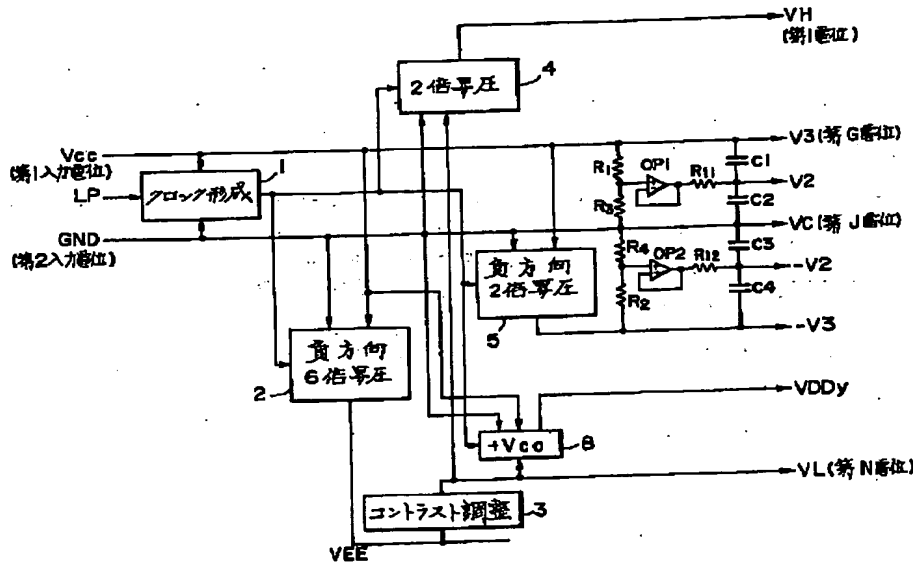
【図6】



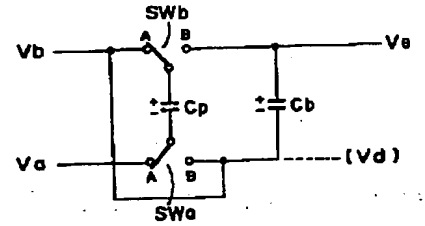
【図18】



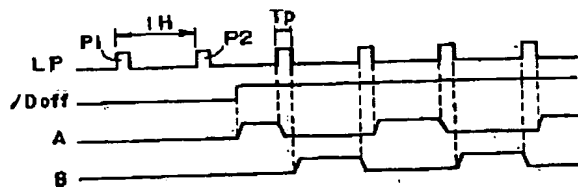
【図2】



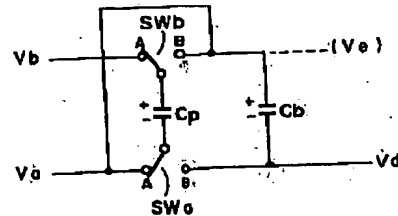
【図7】



【図5】

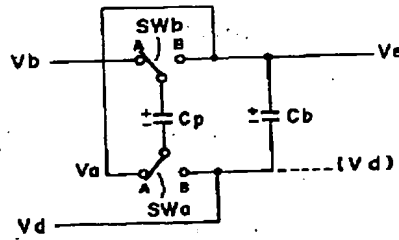


【図8】

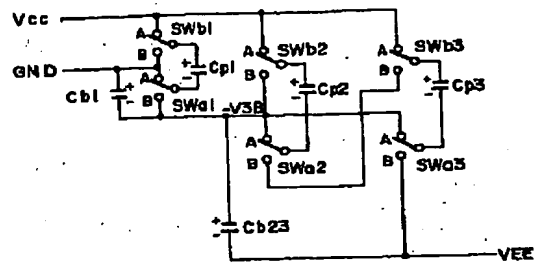


(24)

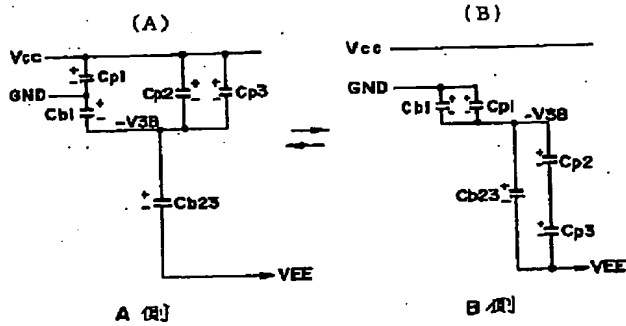
【図9】



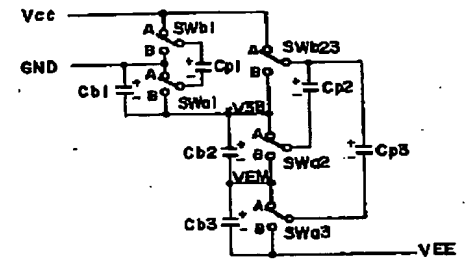
【図10】



【図11】

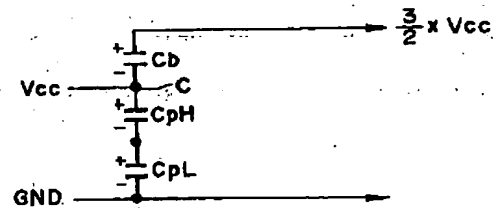


【図12】

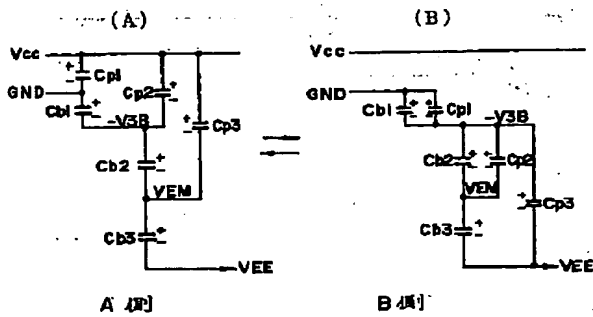


【図14】

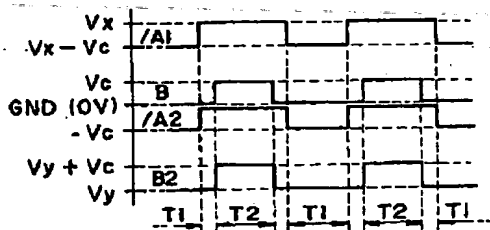
(A)



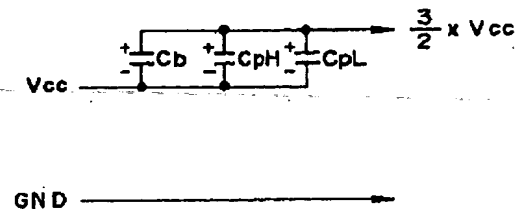
【図13】



【図19】

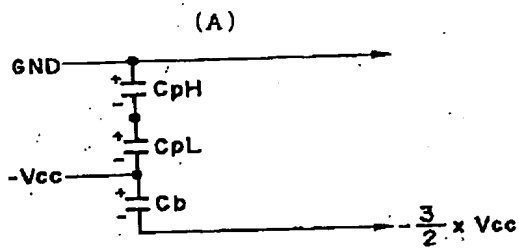


(B)

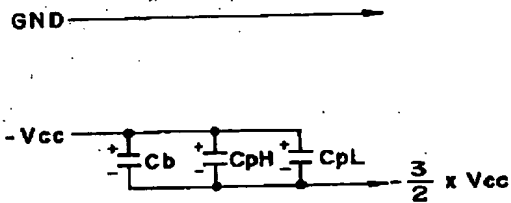


(25)

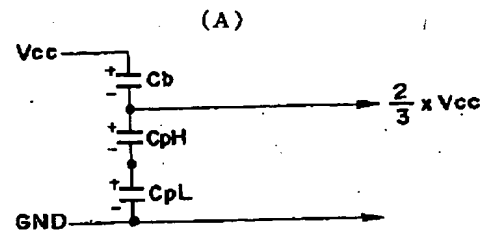
【図15】



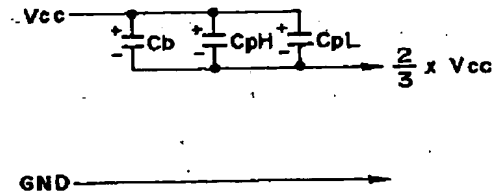
(B)



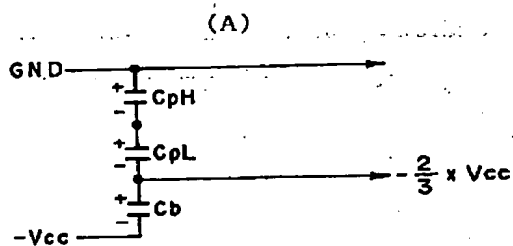
【図16】



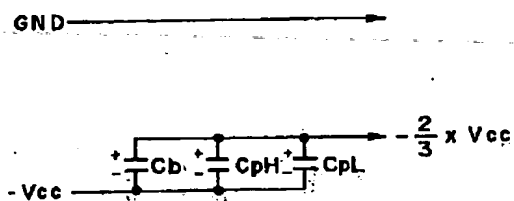
(B)



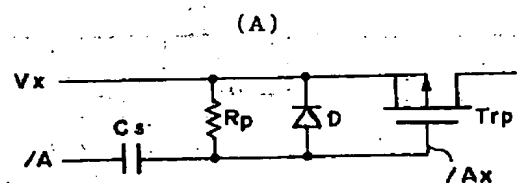
【図17】



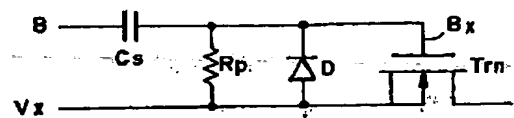
(B)



【図20】

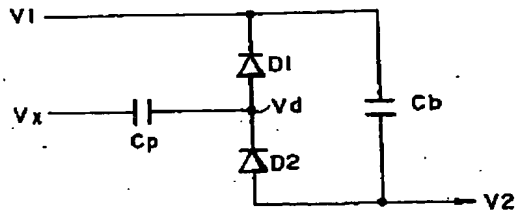


(B)

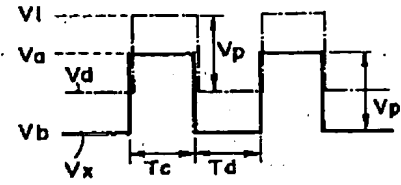


(26)

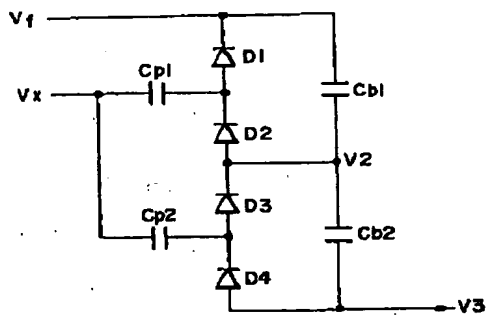
【図 2 1】



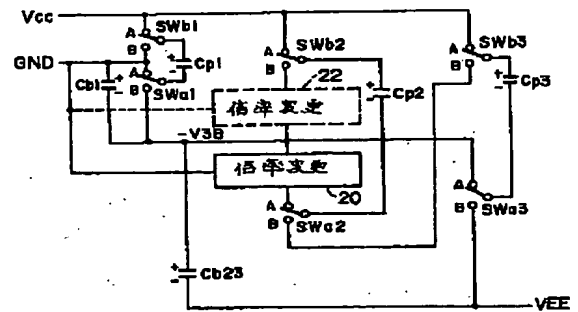
【図 2 2】



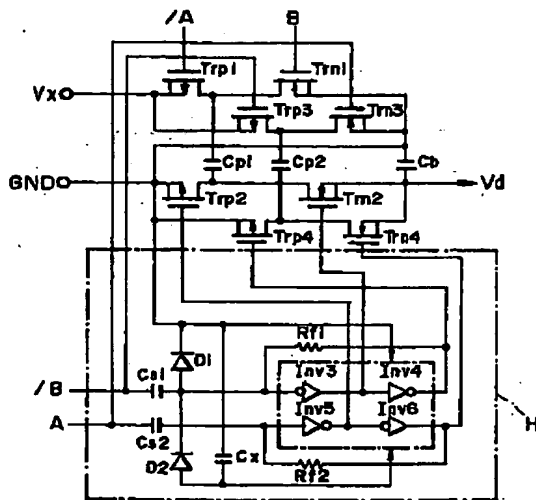
【図 2 3】



【図 2 6】

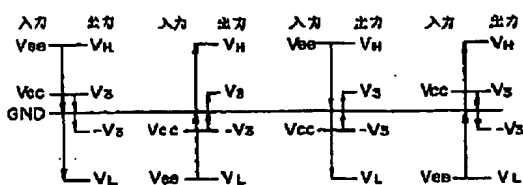


【図 2 4】

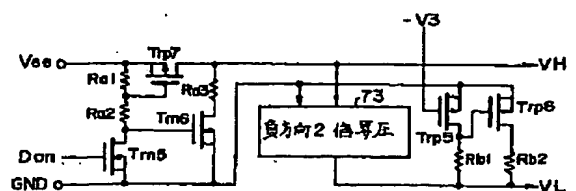


	T1	T2
A	H	L
B	L	H
Trp1	ON	OFF
Trp2	ON	OFF
Trp3	OFF	ON
Trp4	OFF	ON
Trn1	OFF	ON
Trn2	OFF	ON
Trn3	ON	OFF
Trn4	ON	OFF
Cp1, Cp2	Cp1充電	Cp2充電
Cb	Cp2→Cb	Cp1→Cb

【図 3 6】

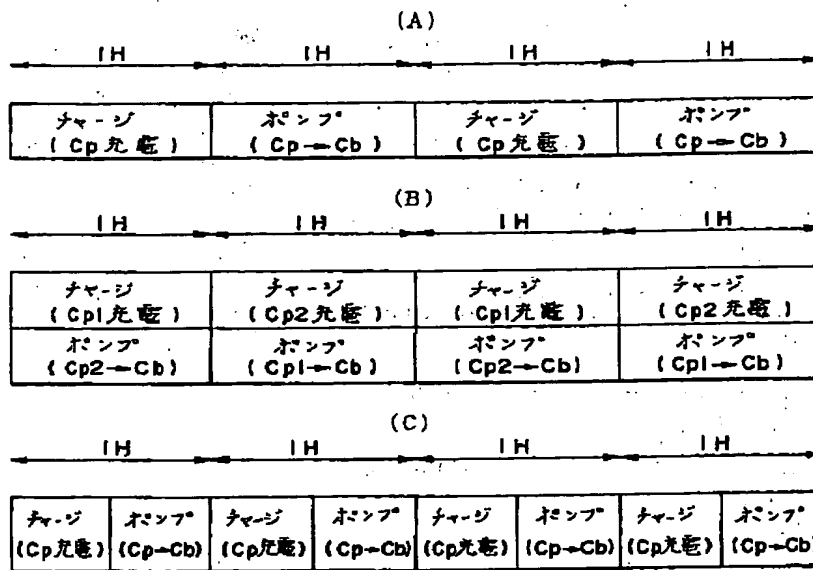


【図 3 8】

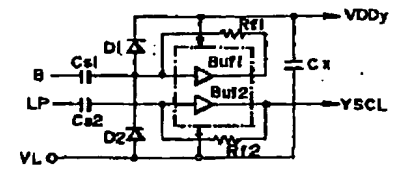


(27)

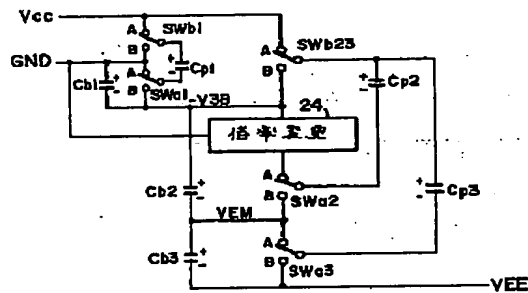
【図25】



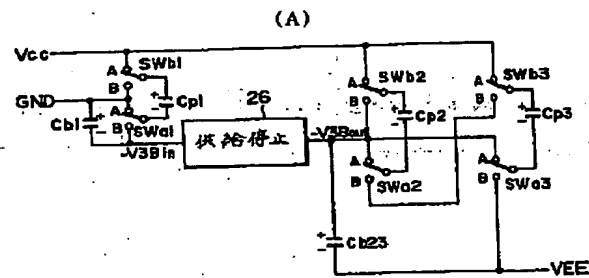
【図43】



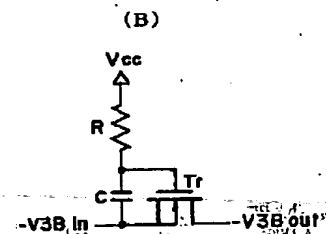
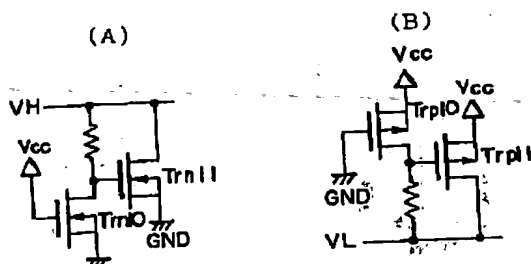
【図27】



【図28】

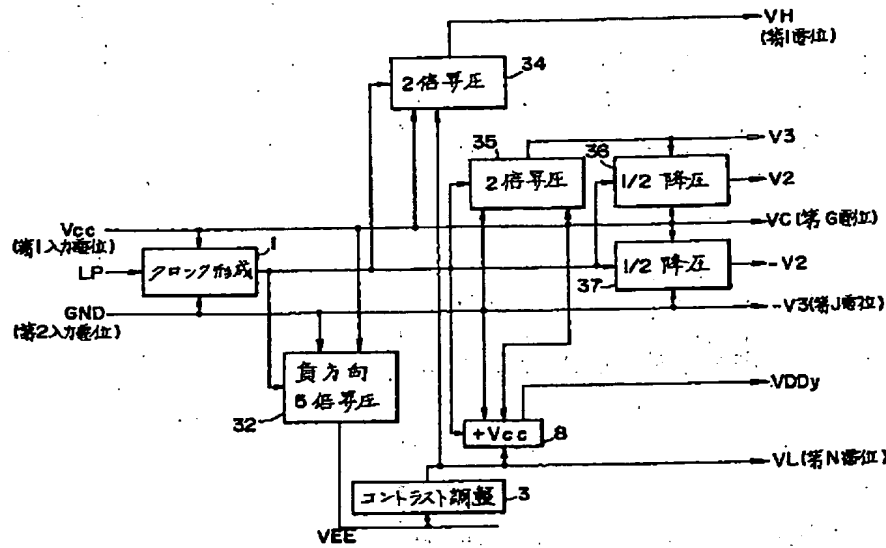


【図39】

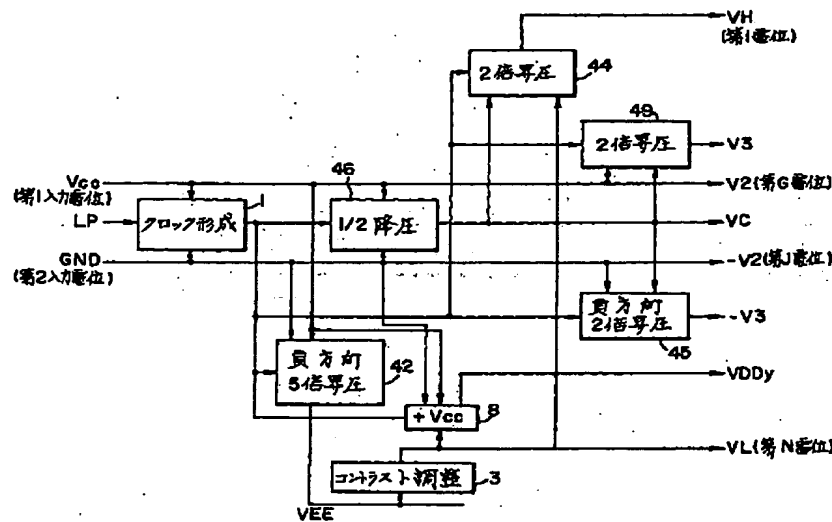


(28)

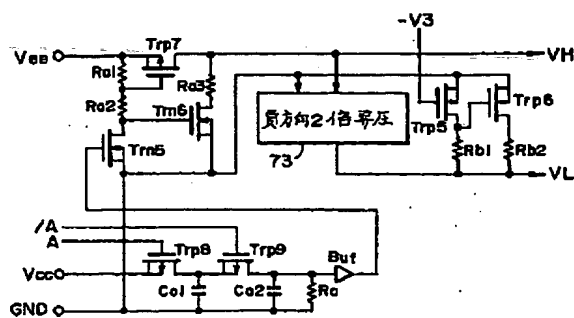
【図29】



【図30】

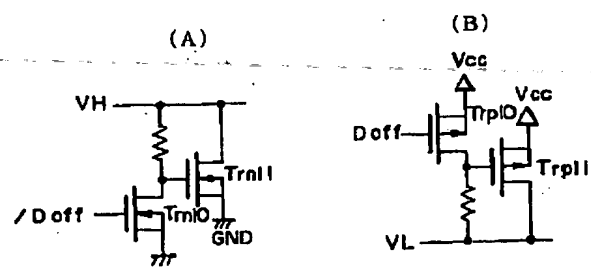


【図37】

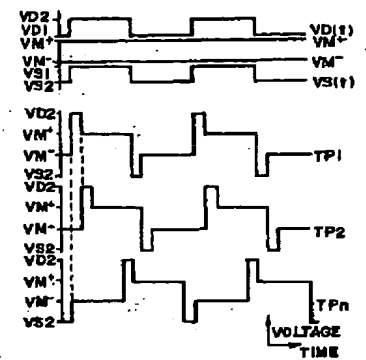


【図37】

【図40】

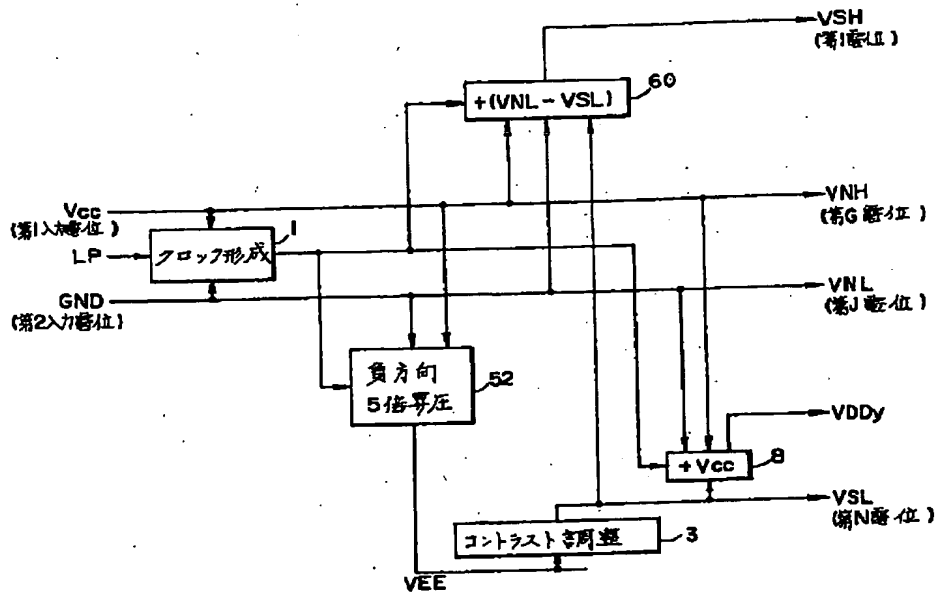


【図50】

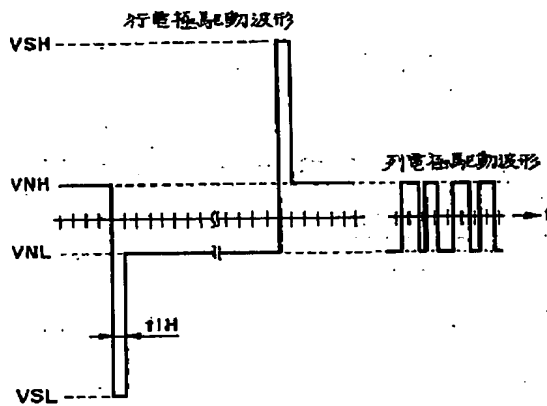


(29)

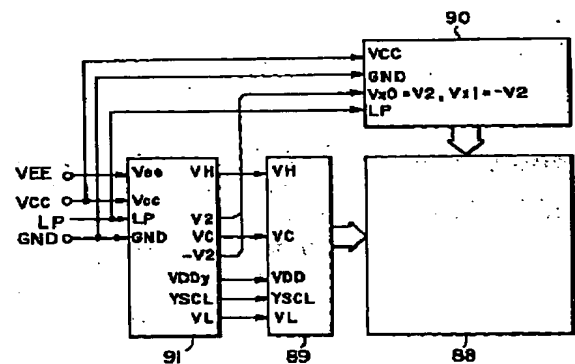
【図31】



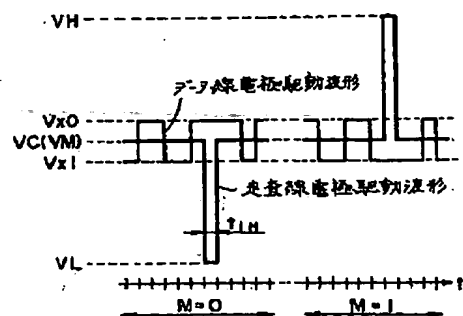
【図32】



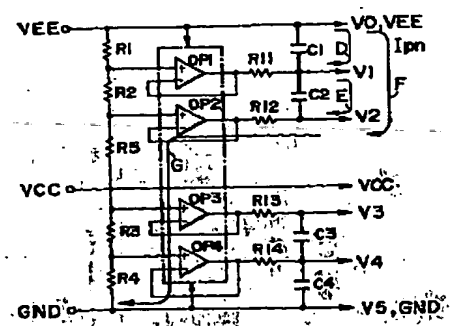
【図41】



【図42】

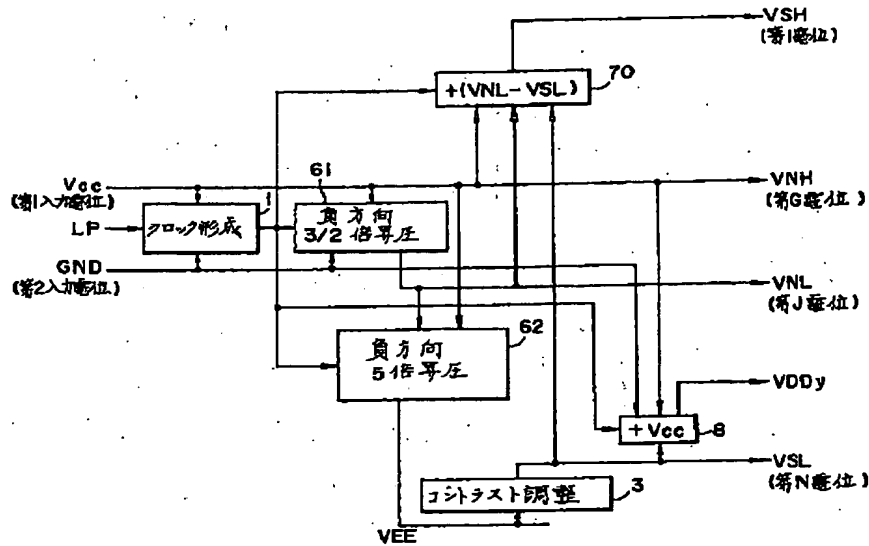


【図48】

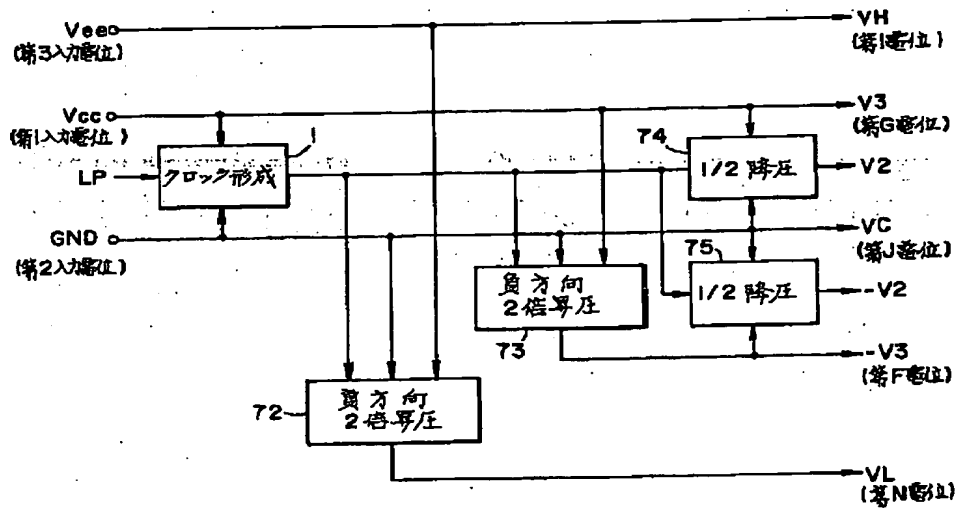


(30)

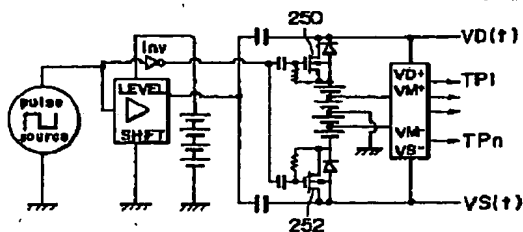
【図33】



【図34】

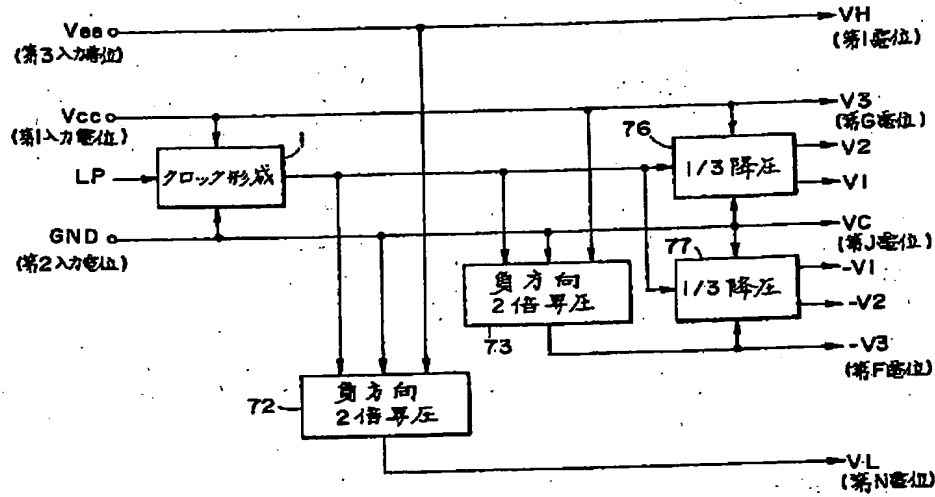


【図51】

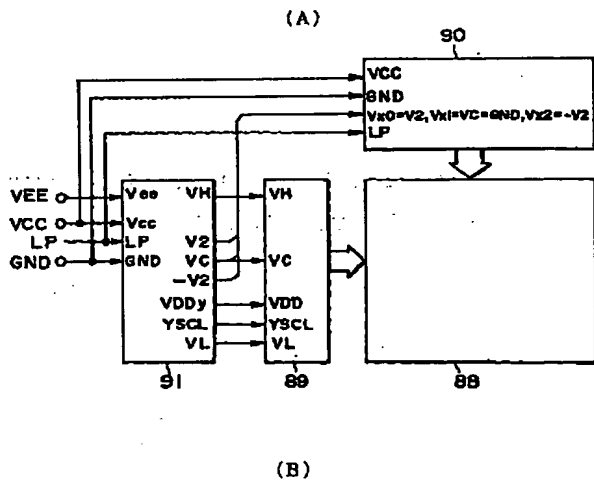


(31)

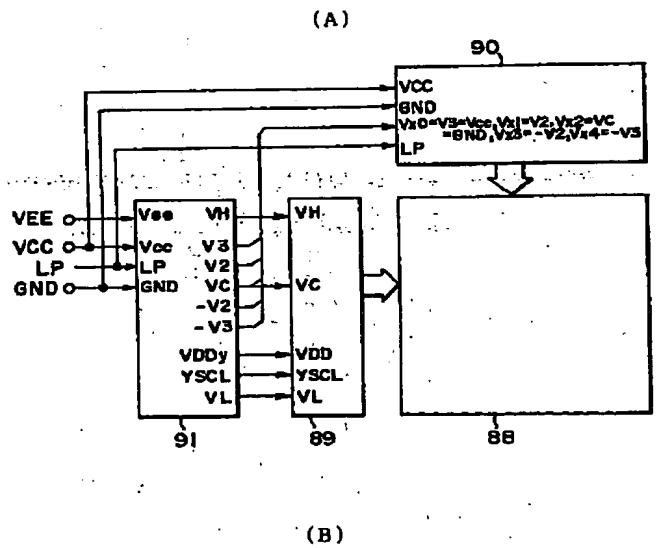
【図35】



【図44】

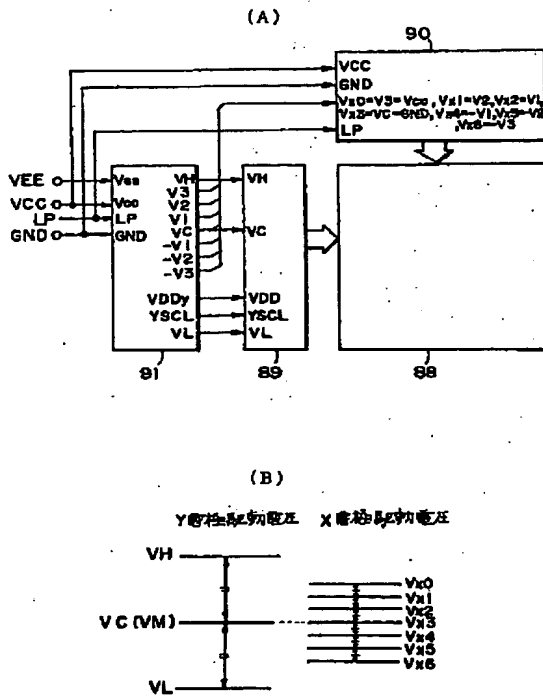


【図45】

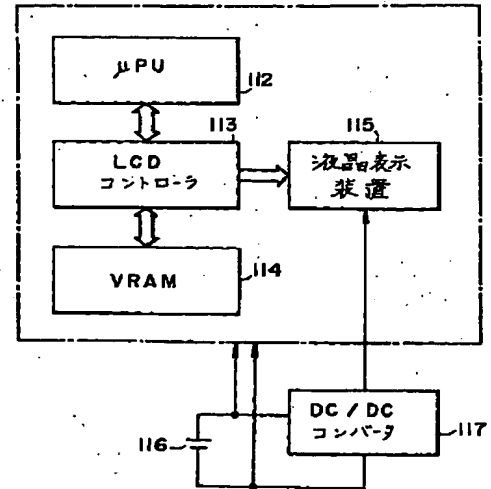


(32)

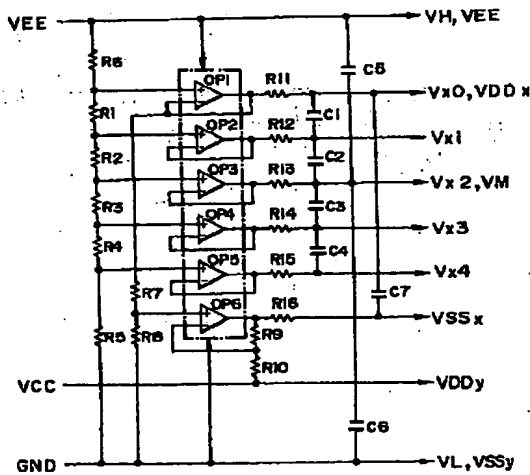
【図46】



【図47】



【図49】



フロントページの続き

(51) Int. Cl. 7

H02M 3/07

識別記号

FI

H02M 3/07

テーマコード* (参考)

(33)

Fターム(参考) 2H093 NA46 NC34 ND07 ND39
5C006 AF42 AF52 AF72 AF84 BB12
BF14 BF25 BF32 BF36 BF37
BF43 BF46 FA47
5C080 AA10 BB05 DD26 FF03 FF12
JJ02 JJ03 JJ04
5H730 AA14 AS00 BB02 DD04 FF06
FG01